

RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE
MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITÉ IBN-KHALDOUN DE TIARET

FACULTÉ DES SCIENCES APPLIQUEES
DÉPARTEMENT DE GENIE ELECTRIQUE



MEMOIRE DE FIN D'ETUDES

Pour l'obtention du diplôme de Master

Domaine : Sciences et Technologie

Filière : Génie Electrique

Spécialité: Informatique Industrielle

THÈME

**Etude et modélisation d'un convertisseur analogique numérique SAR
sous l'environnement MATLAB**

Préparé par :

BENHALIMA Elalia

BENTOUMI Souhila

Devant le Jury :

Nom et Prénoms	Grade	Qualité
Mr : A .GHALAB	MCB	Président
Mr : A .ABDICHE	MCA	Examinateur
Mr : F .MOULAHCENE	MCB	Encadreur
Mr : Y .BELHADJI	MAA	Co-Encadreur

PROMOTION 2015 / 2016

Dédicaces

A ma cher mère pour leur soutien inconditionnel, leur encouragements, et bien sur pour m'avoir permis de réaliser mes études dans les meilleures conditions, Que dieu leur procure bonne santé et longue vie.

*A mon frère Sofianeet mes sœurs Amina et Aya ;
A mon cher binôme Elalia et toute la famille BENTOUMI et
BENZIANE ;*

*A mon grand père et grande mère ;
A tous mes oncles et mes tantes, mes cousins et mes cousines ;*

A toute ma famille ;

A tous mes collègues ;

MERIR Ali ;

YAHIA Rabah ;

A tous mes amis ;

*A tous ceux que j'ai connu durent toutes mes études ;
A tous ceux pour qui je compte et qui comptent pour moi ;
Je dédie ce travail.*

Souhila

Dédicaces

A ma cher mère pour leur soutien inconditionnel, leur encouragements, et bien sur pour m'avoir permis de réaliser mes études dans les meilleures conditions, Que dieu leur procure bonne santé et longue vie.

*A mon frère Mohamed et mes sœurs Fatima et Wissam ;
A mon cher binôme Souhila et toute la famille BENHALIMA et
KANTOUR;*

A tous mes oncles et mes tantes, mes cousins et mes cousines ;

A toute ma famille ;

A tous mes collègues ;

YAHIA Rabah ;

MERIR Ali ;

A tous mes amis ;

A tous ceux que j'ai connu durant toutes mes études ;

A tous ceux pour qui je compte et qui comptent pour moi ;

Je dédie ce travail.

El allia

Remerciements

Au terme de ce travail, nous tenons à présenter nos remerciements les plus sincères à Monsieur F.MOULAHCENE qui a accepté de nous encadrer et qui nous a fait profiter de ses larges connaissances et ces précieux conseils au cours de notre projet de fin d'étude, à notre Monsieur Y.BELHADJI Pour ses aides incessantes, ses conseils, son expertise indispensable et pour tous les éclaircissements qu'il m'a fournis et disponibilité tout au long de notre travail.

Toutefois, il faut souligner que ce travail n'aurait pu voir le jour sans l'inestimable connaissance et savoir-faire acquis dans notre honorable faculté « la Faculté des Sciences Appliqué de Tiaret ».

C'est donc avec une immense fierté, que nous adressons nos remerciements les plus distingués à tous nos professeurs.

Qu'ils trouvent, ici, ainsi que toute personne qui a contribué à l'achèvement de ce projet, directement ou indirectement, l'expression de notre sincère gratitude.

Enfin nous exprimons nos remerciements, les plus dévoués, aux membres de jury qui nous ont honorés pour évaluer notre travail.

Sommaire

Liste des figures	i
Liste des tableaux	iv
Liste des symboles et abréviations	v
Introduction Générale	1
Chapitre I : Architectures et Performances de Convertisseurs Analogique Numérique	
I.1. Introduction	4
I.2. Théorie sur la conversion	4
I.2.1. Théorie de l'échantillonnage	4
I.2.2. Conversion analogique-numérique (CAN)	5
I.2.3. Spécifications des convertisseurs analogique-numérique [9][10][11]	6
I.2.3.1. Bande passante du signal (fréquence d'échantillonnage)	7
I.2.3.2. Résolution	7
I.2.3.3. Distorsion	7
I.2.3.4. Gamme dynamique	7
I.2.3.5. Puissance	7
I.2.3.6. Surface	8
I.2.3.7. Immunité au bruit	8
I.2.3.8. Latence	8
I.3. Paramètres des convertisseurs Analogique Numérique	8
I.3.1. Performances statiques des CANs	9
I.3.1.1. Fonction de transfert	9
I.3.1.2. L'Erreur de gain et l'Erreur d'offset	9
I.3.1.3. L'erreur de quantification (ou bruit de quantification)	11
I.3.1.4. Erreur de Non-Linéarité Différentielle (DLE)	12
I.3.1.5. Non-linéarité intégrale	12
I.3.2. Performances dynamiques des CANs	13
I.3.2.1. Rapport signal sur bruit (SNR)	13
I.3.2.2. Taux de distorsion harmonique (THD)	13
I.3.2.3. SFDR (Spurious-Free Dynamic Range)	14
I.3.2.4. SINAD (Rapport signal- bruit - et - distorsion)	14
I.3.2.5. Nombre de bits effectifs (ENOB)	14
I.4. Architectures de CANs	15
I.4.1. Architecture Flash	15

I.4.2.	Architecture Wilkinson (rampe)	16
I.4.2.1.	Architecture à approximation successive (SAR)	18
I.4.2.2.	Architecture Sigma-Delta	19
I.4.2.3.	Architecture Pipeline	20
I.5.	Conclusion	21
Chapitre II: Principe de Fonctionnement du CAN SAR		
II.1.	Introduction	24
II.2.	Mode d'opération du CAN à approximations successives	24
II.2.1.	Principe de fonctionnement	25
II.3.	Composant de Convertisseur SAR	27
II.3.1.	Echantillonneur bloqueur	28
II.3.2.	Convertisseur numérique-analogique(CNA)	31
II.3.2.1.	Binaire pondérée réseau de condensateurs	31
II.3.2.2.	Réseau capacitif à atténuation	32
II.3.2.3.	Réseau capacitif C-2C	32
II.3.2.4.	Modèle du SUB-CNA	33
II.3.3.	Compateur	33
II.3.4.	Registre à approximation successive	34
II.3.4.1.	SAR logique type 1	35
II.3.4.2.	SAR logique type 2	37
II.3.4.3.	SAR logique type 3 (SAR avec compteur)	38
II.3.4.4.	Comparaison	40
II.4.	Modèle comportemental du CAN SAR	41
II.4.1.	Modèle comportemental non-idéal du CAN SAR	41
II.4.1.1.	Non-idéalités du circuit E/B	41
II.4.1.2.	Phénomène d'injection de charges	42
II.4.1.3.	Phénomène de «clockfeedthrough»	43
II.4.1.4.	Erreurs sur l'instant d'échantillonnage: « Jitter »	44
II.4.1.5.	Bruit de scintillation « flicker noise » ou bruit en 1/f	45
II.4.1.6.	Bruit thermique	45
Chapitre III: Simulations et Résultats		
III.1.	Introduction	48
III.2.	Convertisseur analogique numérique SAR	48
III.2.1	Modélisation comportemental d'échantillonneur bloqueur	48

Sommaire

III.2.1.1	Schéma synoptique de E/B	49
III.2.1.2	Modèle du circuit E/B	49
III.2.2	Modélisation comportemental du comparateur	50
III.2.2.1	Schéma synoptique de comparateur	50
III.2.2.2	Modèle idéal du comparateur	51
III.2.3	Registre à approximation successive	51
III.2.3.1	Model de bascule D flip flop	52
III.2.3.2	Model de registre approximation successive	53
III.2.4	Modèle comportemental de CNA	54
III.2.4.1	Schéma synoptique de CNA	54
III.2.4.2	Modèle du SUB-CNA	55
III.2.4.3	Modèle de CNA	55
III.2.4.3.1	Résultats de la simulation	56
III.3.	Modèle comportemental du CAN SAR	57
III.3.1	Modèle de CAN SAR	58
III.3.1.1	Non-idéalités du CAN SAR	59
III.3.2	Le phénomène d'injection des charges	60
III.3.3	Le phénomène de «clock feedthrough»	60
III.3.4	Le bruit de scintillation « flicker noise » ou bruit en 1/f	61
III.3.5	Le bruit thermique	62
III.4.	Conclusion	63
	Conclusion générale	65
	Perspectives	66
	Références bibliographiques	68

Liste des figures

Chapitre I: Architectures et Performances de convertisseurs Analogique Numérique

Figure I. 1: Echantillonnage-blocage d'un signal continu	5
Figure I. 2: Quantification d'un signal	6
Figure I. 3: La fonction de transfert idéale d'un CAN 3 bits	9
Figure I. 4: Erreur de l'offset d'un CAN	10
Figure I. 5: Erreur de gain d'un CAN	10
Figure I. 6: Variation de l'erreur de quantification	11
Figure I. 7: Répartition du bruit de quantification	11
Figure I. 8: Définition de la non-linéarité différentielle et de la non-linéarité intégrale	12
Figure I. 9: Spectre fréquentielle typique de la sortie d'un CAN Pipeline	14
Figure I. 10: Architecture de CAN flash	16
Figure I. 11: Convertisseurs simple rampe analogique	17
Figure I. 12: Convertisseurs à intégration numérique	17
Figure I. 13: Convertisseurs à double rampe	18
Figure I. 14: CAN SAR (Successive approximation register)	19
Figure I. 15: CAN Sigma-Delta (Σ/Δ)	20
Figure I. 16: CAN Pipeline	20
Figure I. 17: Hiérarchie des différents Convertisseurs Analogique-Numérique [27]	21
Chapitre II : Principe de fonctionnement du CAN SAR	
Figure II.1: Schéma bloc d'un CAN à approximations successives	24
Figure II. 2: Arbre de recherche binaire d'un CAN SAR durant le processus d'identification du code110	26
Figure II.3: Principe de la commande vectorielle	27
Figure II. 4: Circuit d'un échantillonneur-bloqueur idéal (Adapté de [32])	28
Figure II. 5: Echantillonneur bloqueur le plus simple	28
Figure II. 6: Echantillonneur bloqueur	29
Figure II. 7: Echantillonneur bloqueur 2	30
Figure II. 8: Echantillonneur bloqueur 3	30
Figure II. 9: Echantillonneur bloqueur 4	30
Figure II. 10: Réseau de condensateurs d'un CNA [39]	31
Figure II. 11: CNA à Atténuation 12 Bits [39]	32
Figure II. 12: CNA capacitif C-2C [39]	32
Figure II. 13: Configuration en transistor CMOS	33

Figure II. 14: Fonction de transfert d'un comparateur idéal	33
Figure II. 15: Fonction de transfert d'un comparateur à gain fini	34
Figure II. 16: Fonction de transfert d'un comparateur à gain fini présentant un offset statique	34
Figure II. 17: SAR schéma synoptique	36
Figure II. 18: Porte de transmission sur la base Bascule [46]	36
Figure II. 19: Logique d'approximation successive [47]	37
Figure II. 20: Vue schématique de la logique de commande	39
Figure II. 21: Puissance moyenne par rapport à la fréquence	40
Figure II. 22: Modèle idéal du circuit E/B.	41
Figure II. 23: Phénomène de l'injection des charges du transistor NMOS	42
Figure II. 24: Modèle du phénomène de l'injection des charges	43
Figure II. 25: Traverse d'horloge dans circuit E/B	43
Figure II. 26: L'erreur sur l'instant d'échantillonnage	44
Figure II. 27: Modèle du Erreurs sur l'instant d'échantillonnage	44
Figure II. 28: Modèle du bruit de scintillation	45
Figure II. 29: Modèle thermique de bruit.	46
Chapitre III: Simulations et Résultats	
Figure III. 1: Schéma Synoptique D'un Convertisseur SAR	48
Figure III. 2: Schéma synoptique d'E/B	49
Figure III. 3: Le modèle idéal du circuit E/B	49
Figure III. 4: Résultat de simulation d'un modèle idéal de circuit E/B de signal sinusoïdal	50
Figure III. 5: Schéma synoptique de comparateur	50
Figure III. 6: Le modèle idéal du comparateur	51
Figure III. 7: Signal de sortie d'un comparateur	51
Figure III. 8: Model de bascule D	52
Figure III. 9: Résultat de simulation d'un clock de bascule D	52
Figure III. 10: Simulation d'un bascule D	52
Figure III. 11: Modèle de registre SAR	53
Figure III. 12: Résultat de simulation de sortie d'un registre SAR	54
Figure III. 13: Schéma synoptique de CNA	54
Figure III. 14: Le modèle du Sub-CNA et sa configuration en transistor CMOS	55
Figure III. 15: Le modèle de CNA	55
Figure III. 16: Résultat de simulation d'un modèle CNA	56
Figure III. 17: Simulation d'un signal sinusoïdal reconstruit	56
Figure III. 18: Modèle comportemental du CAN SAR	58

Figure III. 19: Modèle de Randon Number	59
Figure III. 20: Signal de source de bruit	59
Figure III. 21: Le modèle du phénomène de l'injection des charges	60
Figure III. 22: Simulation d'un phénomène de l'injection des charges	60
Figure III. 23: Le modèle d'erreur sur l'instant d'échantillonnage	60
Figure III. 24: Simulation d'erreur sur l'instant d'échantillonnage	61
Figure III. 25: Le modèle du bruit de scintillation	61
Figure III. 26: Simulation du bruit de scintillation	61
Figure III. 27: Modèle thermique de bruit	62
Figure III. 28: Simulation de bruit thermique.	62

Liste des tableaux

Chapitre I: Architectures et Performances de convertisseurs Analogique Numérique

Tableau I. 2: Résumé sur les architectures de CAN. 22

Chapitre II : Principe de fonctionnement du CAN SAR

Tableau II. 1: Algorithme de machine à états finis 35

Tableau II. 2: Conversion par le Flip Flop 38

Tableau II. 3: Compteur à 4 bits. 39

Liste des symboles et abréviations

CAN	Analog to Digital Converter ou Convertisseur Analogique Numérique
CNA	Digital to Analog Converter ou Convertisseur Numérique Analogique
DNL	Differential Non Linearity ou non linéarité différentielle
EcoG	ElectroCorticoGramme
ENOB	Effective Number of bits ou résolution effective
F_s, f_b	Fréquence d'échantillonnage et durée de la phase d'échantillonnage et de transfert de Charges ($f_s \geq 2 \cdot f_b$)
INL	Integral Non Linearity ou non-linéarité intégrale
LSB	Least Significant Bit ou bit de poids faible
MSB	Most Significant Bit ou bit de poids fort
E/B	Sample and hold ou échantillonneur bloqueur
SAR	Successive approximation Register ou registre à approximations successives
SNDR	Signal Noise Distorsion Ratio ou rapport signal sur bruit plus distorsion
Σ/Δ	Convertisseur analogique/numérique Sigma/Delta
Tech	La période d'échantillonnage
V_{analog}	La tension d'échantillonnage
F_s	Fréquence d'échantillonnage
CMOS	Complementary Metal Oxide Semi-conducteur
VLSI	Very Large Scale Integration
SNR	Signal-to-Noise Ratio
SFDR	Spurious-Free Dynamic Range
BWC	Binary-Weighted Capacitor
FF	Type Flip Flop
FFT	Fast Fourier Transform
SINAD	Signal to Noise and Distortion Ratio
TWC	Two-Stage Weighted Capacitor
Noffset	Nombre de codes manquants pour l'ensemble du CAN dû aux offsets des comparateurs

INTRODUCTION

GENERALE

Introduction générale

Aujourd'hui avec l'avancement technologique dans le domaine d'intégration très grande échelle L'augmentation énorme de l'architecture et de la complexité des circuits intégrés analogique, numérique et mixte avec une variabilité fonctionnelle importante, nous nous attendons donc à voir plus de 12 milliards des transistors par puce lorsqu'on utilise une technologie 20nm standard[1],des milliards des transistor dans les unités de traitement graphique et dans les microprocesseurs à usage général[2][3] ,Se situe dans le contexte des systèmes sur une puce ou SoC (system on chip) ces systèmes complexes peuvent intégrer des convertisseurs analogique numériques et /ou numérique analogique, du traitement numérique, des blocs radiofréquences, les circuits intégrés à application spécifiques ou ASIC (Application Specific Integrated Circuit), et les applications spécifiques à des pièces standard(ASSP), La recherche dans ce domaine est orientée vers la conception des circuits intégrés basse tension et de basse puissance

Beaucoup d'attentions ont été portées sur la réduction de la tension d'alimentation ainsi qu'à la dissipation de puissance dans les circuits intégrés en technologie CMOS analogiques et mixtes. Cette réduction, principalement dictée par le besoin croissant de dispositifs et d'accessoires microélectroniques portatifs, est en train d'amener les dispositifs CMOS au point de blocage. Il n'est pas question d'arrêter le développement des technologies CMOS, en plus, Beaucoup d'efforts ont été mis dans la réduction de la tension d'alimentation et la consommation d'énergie des circuits mixtes. Cependant, la diminution de la tension d'alimentation n'est pas forcément un avantage dans la conception analogique puisqu'elle entraîne certaines limites à savoir; le bon fonctionnement des commutateurs analogiques, la réduction de la plage d'entrée du circuit et la complexité à faire opérer les transistors dans leur région optimale. Ce qui nécessite de mettre en application des nouvelles stratégies de conception des circuits avec faible coût en technologie CMOS [5].

En effet, L'approche mode-courant (MC) a beaucoup d'avantages en comparaison avec la technique mode tension. Les CAN sont des composants essentiels qui assurent la communication entre les signaux analogiques externes et la puce électronique numérique, la conception des CAN ou CNA avec des performances élevées présente des défis difficiles comme la vitesse de fonctionnement très élevée, consommation d'énergie, occupation moins d'espace sur la puce et des résolutions plus élevée. Face à tous ces défis, plusieurs architectures des CAN ont été développées afin d'optimiser les caractéristiques des convertisseurs, ils sont modélisés dans un environnement générique tel que le Simulink ou en utilisant un langage dédié à modéliser les composants de signal mixte comme VHDL-AMS, À cet effet la technique MC a apporté beaucoup des solutions pour optimiser les performances des CAN (la compatibilité entre la tension d'alimentation,

consommation de puissance, la rapidité de fonctionnement et occupation moins d'espace sur la puce) [4].

Le CAN(SAR) mode de tension emploie généralement des condensateurs dans la partie de circuit CNA. Ceci élève deux thèmes principaux; le premier est le besoin de grand espace sur la puce et la deuxième issue est longue temps de stabilisation. De plus la dissipation d'énergie dans les convertisseurs mode de tension est principalement du CNA, Pour cette raison, le CAN SAR conçu avec l'utilisation seulement des transistors CMOS, pour diminuer l'effet du long temps de stabilisation et de la dissipation d'énergie. D'ailleurs, aucun condensateur utilisé dans le CNA est peut être rendu ainsi très petit comparé au convertisseur mode de tension [6].

L'objectif principal de ce mémoire est la conception de convertisseur 8 bits mode de courant de type registre à approximation successive (SAR), tel qu'on a proposé un nouveau modèle avec l'introduction des facteurs non-idéaux pour le modèle mis en application dans l'environnement de Matlab et Simulink, les blocs principaux de CAN SAR sont les échantillonneurs bloqueurs, le comparateurs, registre de logique de SAR, et convertisseur numérique analogique.

Ce manuscrit comporte trois chapitres dont nous introduisons une brève description comme suite:

Après une introduction générale, Le premier chapitre présente un état de l'art des convertisseurs en exposant les théories de conversions des données et différents types de convertisseurs.

Le deuxième chapitre expose principalement le convertisseur SAR.

Enfin, L'objet du troisième chapitre est présenté le modèle comportemental du convertisseur SAR et les différents blocs.

Finalement, on terminera ce mémoire par une conclusion générale qui résume les résultats obtenus.

CHAPITRE I

ARCHITECTURES ET PERFORMANCES DE CONVERTISSEURS ANALOGIQUE NUMERIQUE

I.1. Introduction

Le monde de la conversion de données analogiques numériques est véritablement apparu avec le développement des télécommunications au début du 20ème siècle.

Cependant, il aura fallu attendre les années cinquante pour voir apparaître les premières offres commerciales de convertisseur analogique numérique (CAN). Cette commercialisation suivait de très près la première offre commerciale d'ordinateur digital, en 1951.

Le développement des CANs a dès lors suivi étroitement le développement de la micro-informatique. Jusque dans les années quatre-vingt-dix les CANs sont devenus de plus en plus rapides, de moins en moins encombrants, de nouvelles architectures sont apparues, il est alors devenu possible de classer les architectures en fonction de leur domaine d'application.

A partir des années quatre-vingt-dix, la microélectronique, grâce au développement de l'informatique, a connu une évolution exceptionnelle en termes d'intégration. Il existe à présent des centaines de modèles commerciaux différents, classés selon leur résolution en bit, leur vitesse de conversion et leur consommation.

La cause de cette abondance d'offres repose sur la place qu'occupent les CANs dans les systèmes électroniques actuels [7].

I.2. Théorie sur la conversion

I.2.1. Théorie de l'échantillonnage

Le processus d'échantillonnage convertit un signal continu dans le temps en un signal discret dans le temps. Selon le théorème de Nyquist [8], si le signal est à une bande limitée de certaine fréquence f_b , et les échantillons sont prélevés à une fréquence d'échantillonnage f_s au moins deux fois la largeur de bande du signal f_b , c'est à dire:

$$f_s \geq 2.f_b \quad (\text{I. 1})$$

Le signal est déterminé de façon unique. Par conséquent, le signal analogique peut être reconstruit à partir de ces échantillons sans perte d'information.

Le convertisseur dans lequel la fréquence d'échantillonnage utilisée est le double de la largeur de bande du signal est connu sous le nom de convertisseurs de Nyquist [8].

La fréquence d'échantillonnage doit être au moins égale au double de la composante fréquentielle maximale du signal continu analogique [9]

I.2.2. Conversion analogique-numérique (CAN)

La conversion analogique-numérique est l'étape qui permet de passer d'un signal analogique continu en temps et en amplitude à un signal discret en temps (échantillonnage) et en amplitude (quantification). La conversion analogique-numérique se passe donc généralement en deux étapes distinctes : l'échantillonnage-blocage et la quantification [9].

L'échantillonnage consiste à maintenir la valeur du signal continu analogique V_{in} pendant une durée fixée appelée période d'échantillonnage figure. (I.1), ceci se fait par un circuit nommé Echantillonneur-Bloqueur (E/B).

La tension V_{analog} , continue par morceaux est obtenue.

La période d'échantillonnage T_{ech} est fixée selon le théorème de Shannon:

La fréquence d'échantillonnage doit être au moins égale au double de la composante fréquentielle maximale du signal continu analogique [9].

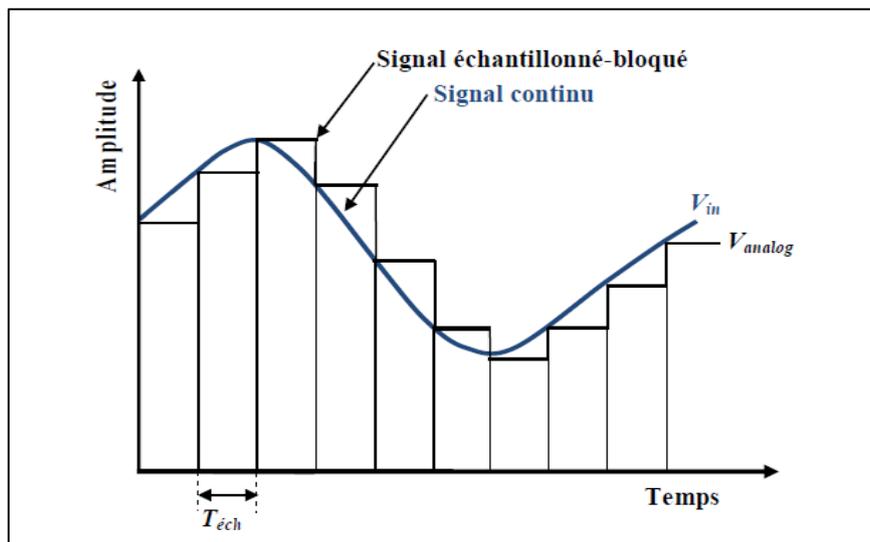


Figure I. 1: Echantillonnage-blocage d'un signal continu

La quantification est l'étape de conversion analogique-numérique à proprement dite elle consiste à transformer cette tension réelle V_{analog} en un nombre binaire

$V_{num} = (b_i)_{0 \leq i \leq N-1}$ Choisi parmi un ensemble fini et prédéterminé de valeurs.

Un CAN est caractérisé par deux principaux paramètres: son nombre de bits N (ou résolution) et sa dynamique d'entrée $\Delta V_{in} = [V_{min}, V_{max}]$. A partir de cela, le quantum q ou LSB (Les Significant Bit) est déterminé par la relation [9]

$$q = \frac{\Delta V_{in}}{2^{N-1}} \quad (I. 2)$$

C'est la valeur de base dont sont multiples toutes les tensions numériques de sortie. Pour une tension analogique d'entrée V_{analog} , le CAN fait correspondre la tension analogique V_{num} telle que

$$|V_{analog} - V_{num}| \leq \frac{q}{2} \quad (I.3)$$

Avec:
$$V_{num} = q \cdot [b_{N-1} 2^{N-1} + \dots + b_1 2^1 + b_0 2^0] \quad (I.4)$$

La relation (1.4) implique l'utilisation d'un code numérique en binaire naturel. Bien sûr d'autres types de codage pourraient être utilisés : le code Gray, le code 1 parmi N...

La différence $V_\varepsilon = V_{analog} - V_{num}$ est souvent appelée bruit de quantification. Ce bruit est inhérent au principe de la conversion analogique numérique, et ne peut bien sûr jamais être supprimé. Il conduit par la suite aux calculs de rapport signal sur bruit.

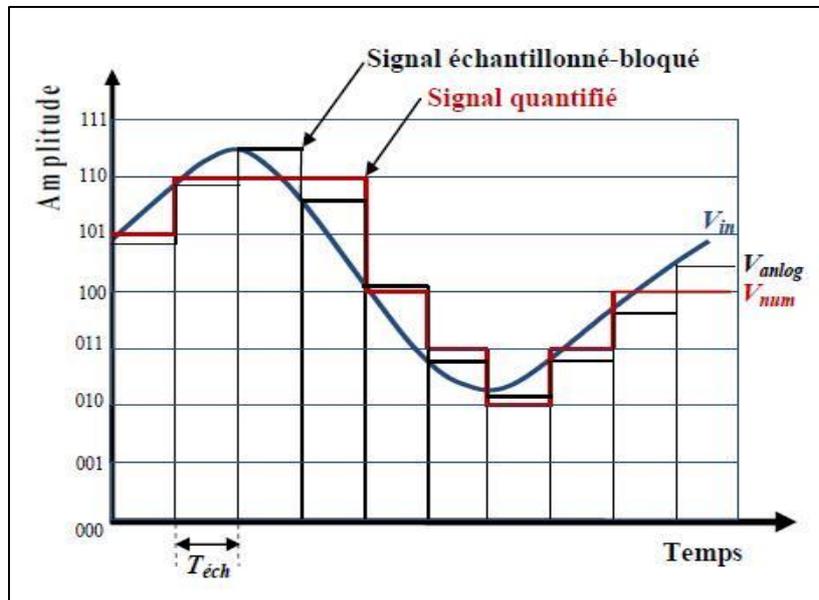


Figure I. 2: Quantification d'un signal

Cette structure se compose de trois bras, chacun des trois bras (A, B et C) de l'onduleur est composé de quatre interrupteurs commandés (KA1, KA2, KA3 et KA4 pour le bras A) et deux diodes de clamp (DclA1 et DclA2) connectées au point milieu du bus continu. Les interrupteurs commandés sont unidirectionnels en tension et bidirectionnels en courant : il s'agit d'associations classiques d'un transistor et d'une diode en antiparallèle.

I.2.3. Spécifications des convertisseurs analogique-numérique [9][10][11]

Il y a plusieurs exigences de conception lors de la sélection d'une topologie CAN et la mise en œuvre de ses circuits qui sont la bande passante du signal ou le taux d'échantillonnage, la résolution, la distorsion, la puissance, la surface, l'immunité au bruit, la plage dynamique et la latence [10]. Chacune de ces spécifications sera décrite séparément dans les paragraphes qui suivent:

I.2.3.1. Bande passante du signal (fréquence d'échantillonnage)

La bande passante du signal d'un CAN est généralement définie comme la gamme de fréquences sur laquelle le CAN conservera sa résolution spécifiée. La bande passante du signal et la fréquence de l'horloge d'échantillonnage du CAN est reliée par le critère de Nyquist. En d'autres termes, la fréquence d'échantillonnage est au moins deux fois de la bande passante du signal.

I.2.3.2. Résolution

La résolution d'un CAN est une mesure avec précision dans laquelle la sortie numérique représentera l'entrée analogique. Elle peut être définie comme la plus petite modification de l'entrée analogique qui provoque un changement LSB dans le code de la sortie numérique. La résolution est souvent exprimée en nombre de bit N de la sortie numérique. Par conséquent, il y a 2^N possibilités de la sortie numériques, en d'autre terme la résolution du CAN en bit détermine le nombre de valeurs disponibles pour coder le signal d'entrée.

I.2.3.3. Distorsion

La non-linéarité des dispositifs semi-conducteurs et le mésappariement entre les composants identiques du circuit peuvent provoquer une distorsion dans la sortie d'un CAN.

I.2.3.4. Gamme dynamique

Comme la technologie CMOS (Complementary Metal Oxide Semi-conducteur) émergeant à réduire l'échelle, l'épaisseur d'oxyde de la grille du transistor est réduite ce qui force la tension d'alimentation à diminuer. Par conséquent, la région de fonctionnement linéaire d'un circuit à transistor est diminuée ce qui réduit l'oscillation utilisable du signal de la tension d'entrée d'un CAN. La plage dynamique d'un CAN est plus ou moins définie comme étant la plage d'amplitudes d'entrée qui est plus grande que le bruit et la distorsion du système.

I.2.3.5. Puissance

Un but important dans n'importe quelle conception d'un circuit est de réduire au minimum sa puissance. Dans les grands systèmes VLSI (Very Large Scale Integration) où des composants analogiques, numériques, et mixtes qui sont intégrés ensemble, la dissipation de la puissance maximum est souvent stipulée et régie par des issues de fiabilité de circuit et les restrictions de la tension d'alimentation (par exemple dispositifs à piles). Même, un budget de puissance est assigné à un CAN.

Le contrôle de la dissipation de puissance est réalisé avec une sélection architecturale et des techniques de conception des circuits. [9]

I.2.3.6. Surface

Quand une conception est présentée en technologie basée sur le silicium, elle occupe inévitablement une surface. Le coût de silicium se développe proportionnellement avec la surface. D'ailleurs, les processus CMOS sont sujets à des défauts dans la technologie. Statistiquement la densité de ces défauts affectera un grand nombre de circuits.

Par conséquent, la minimisation de la surface réduira le coût et diminuera la probabilité qu'un circuit échoue en raison des défauts.

I.2.3.7. Immunité au bruit

Tous les circuits électroniques sont soumis aux sources de bruit environnementales aléatoires et extérieures comme le bruit thermique, le bruit de scintillation (flicker), la diaphotie (crosstalk), le bruit de la tension d'alimentation, le clock jitter, et l'interférence électromagnétique (EMI).

I.2.3.8. Latence

La latence dans les CANs se rapporte au nombre de cycles d'horloge entre l'échantillonnage du signal d'entrée analogique et l'instant quand les données numériques sont présentées à la sortie du CAN. La latence est une considération importante de la conception pour les systèmes de conversion de données en temps réel.

Un CAN est cependant aussi défini par une liste d'erreurs caractérisant ses performances statiques et dynamiques.

I.3. Paramètres des convertisseurs Analogique Numérique

Les différents paramètres utiles définissant les performances d'un convertisseur analogique-numérique sont définis dans cette partie.

Il existe dans la littérature une multitude de critères pour estimer les performances d'un convertisseur analogique-numérique. Malgré cela, seulement quelques-uns sont vraiment explicites: le SNR (Signal-to-Noise Ratio), le SFDR (Spurious-Free Dynamic Range), le nombre effectif de bits (ENOB – Effective Number Of Bits) et enfin la puissance consommée. Le nombre effectif de bits peut être déterminé en dynamique (SNR et SFDR) ou en statique avec l'INL (Integral Non-Linearity) ou la DNL (Differential Non-Linearity), cependant les mesures dynamiques permettent une meilleure précision sur cette estimation.

Les paramètres des CANs peuvent se diviser en deux groupes: les paramètres statiques et les paramètres dynamiques. Nous présenterons les principaux paramètres mesurés sur les convertisseurs [11].

I.3.1. Performances statiques des CANs

I.3.1.1. Fonction de transfert

La fonction de transfert d'un CAN se définit comme étant la fonction qui associe à chaque plage de valeur d'entrée $[i-q ; i]$ en volt, sa valeur binaire codée sur N bits entiers.

La fonction de transfert d'un CAN 3 bits est présentée sur la figure (I.3). Nous pouvons également définir le pas de quantification q , à l'aide de l'expression (I.5), où V_{dyn} correspond à la dynamique du signal d'entrée et N la résolution du convertisseur [11].

$$q = \frac{V_{dyn}}{2^N} \quad (I. 5)$$

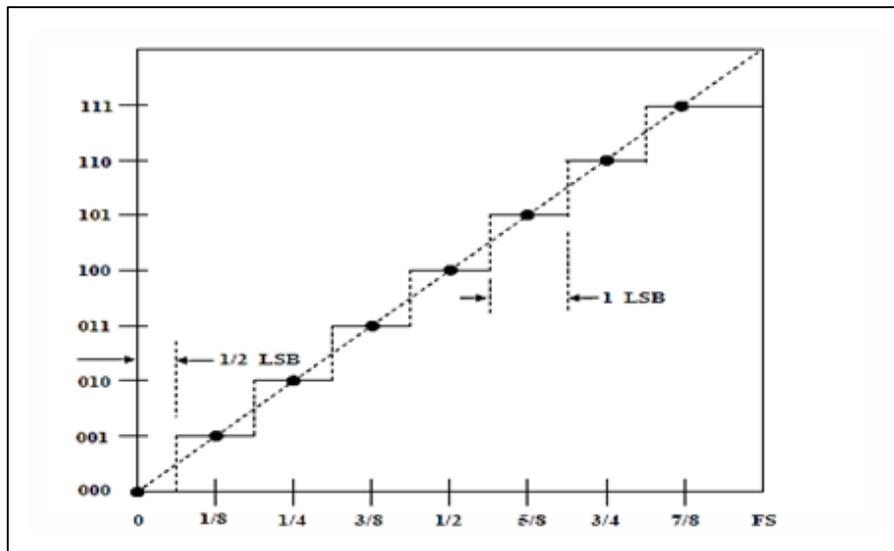


Figure I. 3: La fonction de transfert idéale d'un CAN 3 bits

I.3.1.2. L'Erreur de gain et l'Erreur d'offset

En se basant sur la Figure (I.3), on peut définir la fonction de transfert d'un CAN comme étant égale à [7] :

$$N = Y + X.A \quad (I. 6)$$

Où N représente la valeur numérique de sortie du CAN, Y représente l'offset de la fonction de transfert du CAN et X le gain du CAN. Idéalement Y est égal à 0 et X est égal à 1.

➤ L'erreur de gain

L'erreur de gain correspond à l'écart de la pente de la fonction de transfert réelle par rapport à la pente de la fonction de transfert idéale (L'erreur de gain représente la différence entre la valeur de X et 1) (figure I.4)

Une telle erreur provoque un changement de la dynamique du convertisseur [7].

➤ L'erreur d'offset

L'erreur d'offset est un décalage en tension de l'ensemble de la fonction de transfert. L'erreur d'offset représente donc la différence entre la valeur de Y et 0. Cette erreur entraîne une erreur constante sur l'ensemble des codes du convertisseur [7] (figure I.5)

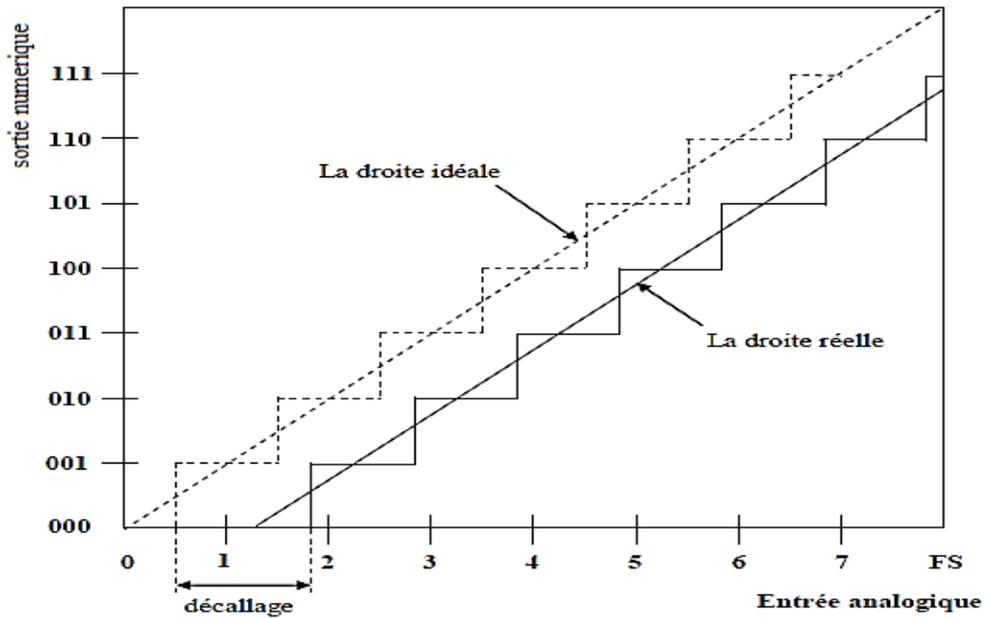


Figure I. 4: Erreur de l'offset d'un CAN

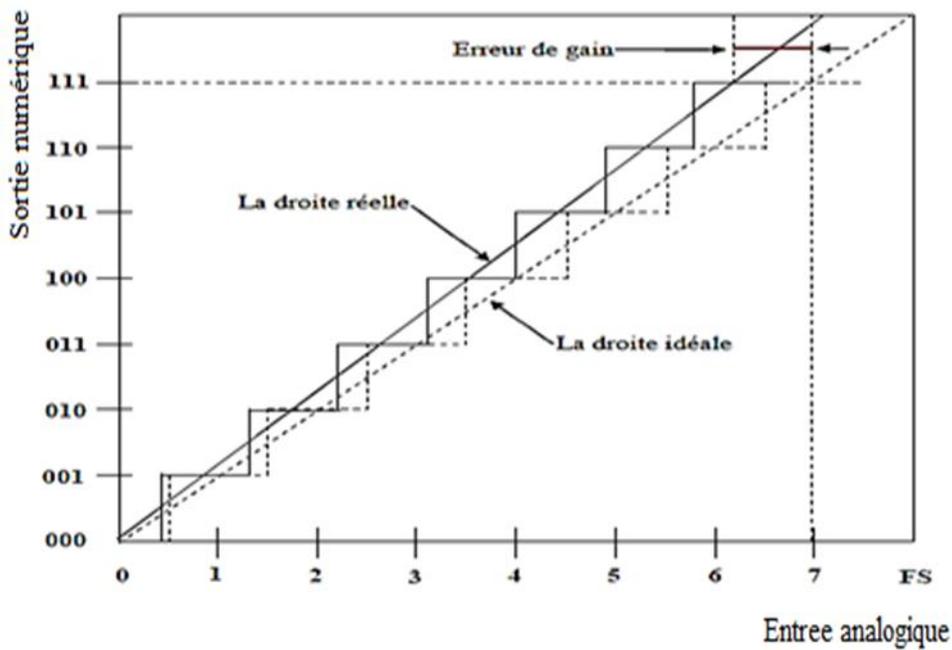


Figure I. 5: Erreur de gain d'un CAN

I.3.1.3. L'erreur de quantification (ou bruit de quantification)

L'erreur introduite par un écart entre la valeur exacte et la valeur quantifiée s'appelle erreur de quantification. Cette erreur est bornée dans la gamme d'entrée du convertisseur, elle évolue selon la courbe donnée par la figure (I.6), et vaut au maximum:

$$\pm \frac{PE}{2^{n+1}} = \pm \frac{LSB}{2} \quad (I. 7)$$

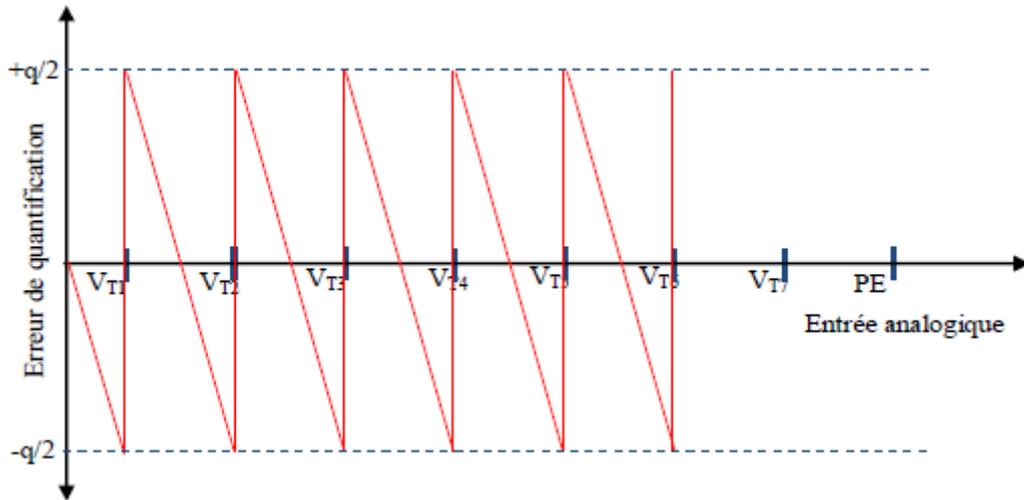


Figure I. 6: Variation de l'erreur de quantification

C'est cette erreur de quantification qui parasite le signal et il faut l'étudier dans le domaine fréquentiel [12]. A cette erreur de quantification q , on associe un bruit de quantification qui est considéré comme une variable aléatoire uniformément répartie sur l'intervalle

$[-q/2, +q/2]$, q étant le pas de quantification. Sa densité de probabilité f_q est donc constante sur cet intervalle (figure I.7)

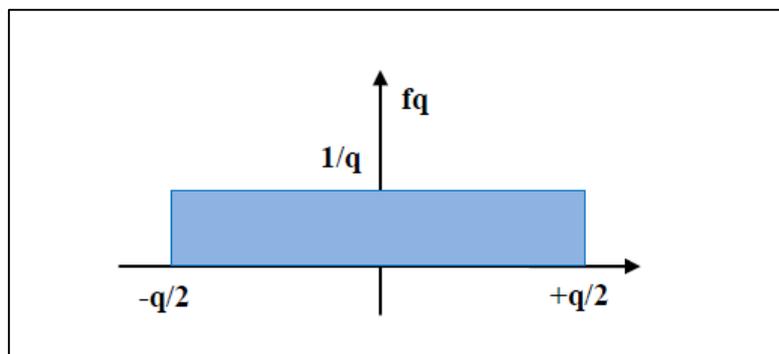


Figure I. 7: Répartition du bruit de quantification

I.3.1.4. Erreur de Non-Linéarité Différentielle (DLE)

La Non-Linéarité Différentielle ou (Différentiel No Linearity (DNL)) est définie pour chaque code comme la différence entre la largeur réelle du palier (X_{K+1}), X_K étant le point de transition du code k , et les valeurs idéale du pas de quantification q . figure (I.8)

Ainsi, la non-linéarité différentielle s'exprime par [9] :

$$DNL(K) = \frac{(X_{K+1} - X_K) - q}{q} \quad (I. 8)$$

La DNL s'exprime en LSB dans ce cas.

I.3.1.5. Non-linéarité intégrale

La Non-Linéarité Intégrale ou INL est décrite comme étant la déviation de la fonction de transfert réelle par rapport à une ligne droite. Elle correspond également pour un code k au cumul des Non-Linéarités Différentielles des codes inférieurs ou égal à k .

Ainsi, le non linéarité intégrale a pour expression [9] :

$$INL(K) = \sum_{i=0}^k DNL(i) \quad (I. 9)$$

Comme la DNL, la non-linéarité intégrale s'exprime en LSB. Ces deux paramètres sont décrits sur la figure (I.8) ci-dessous

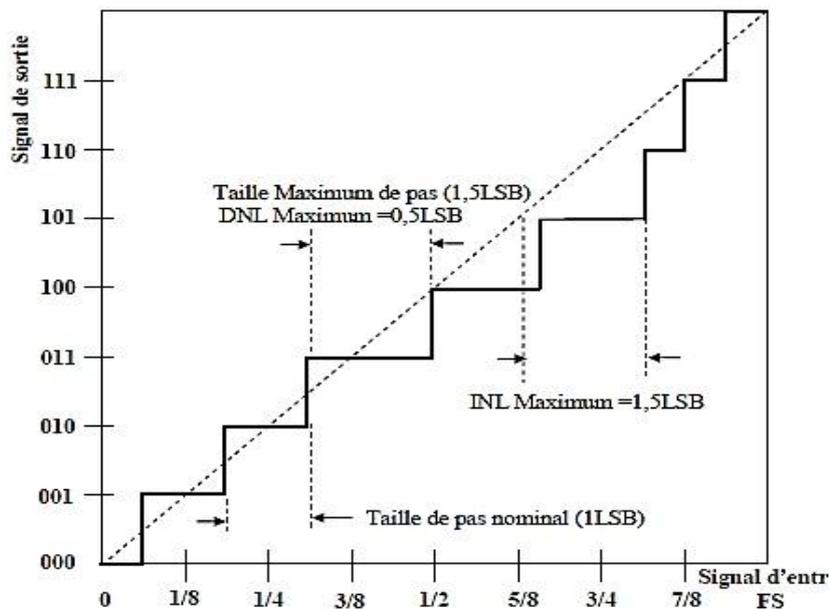


Figure I. 8: Définition de la non-linéarité différentielle et de la non-linéarité intégrale

I.3.2. Performances dynamiques des CANs

Ces paramètres sont mesurés à l'aide d'un signal sinusoïdal. Le calcul de la transformée de Fourier (FFT) à partir des données de sortie permet de caractériser le convertisseur de façon dynamique.

I.3.2.1. Rapport signal sur bruit (SNR)

Le rapport signal sur bruit (SNR) est caractérisé par la numérisation d'un signal sinusoïdal pur d'amplitude crête à crête.

Il est alors obtenu en effectuant le rapport entre la puissance contenue dans la raie fondamentale du signal numérisé P_s et la puissance du bruit P_n . L'expression générale s'écrit donc [9]

$$\text{SNR}_{\text{dB}} = 10 \cdot \log_{10} \left(\frac{P_s}{P_n} \right) \quad (\text{I. 10})$$

La valeur de la moyenne quadratique ou RMS (RootMean Square) du signal est alors égale à :

$$V_{\text{in,rms}} = \frac{2^{N-1} \cdot q}{\sqrt{2}} \quad (\text{I. 11})$$

Où N est la résolution du CAN et q est le quantum.

Un convertisseur idéal, le SNR s'exprime en fonction de sa résolution N par :

$$\text{SNR}_{\text{dB}} = 6,02 \cdot N + 1,76 \quad (\text{I. 12})$$

I.3.2.2. Taux de distorsion harmonique (THD)

Le taux de distorsion harmonique représente le rapport de la puissance des raies harmoniques générées par les non-linéarités du convertisseur, sur la puissance de la raie fondamentale.

La THD est alors la racine carrée de la somme quadratique des amplitudes $A(i, f_{en})$ des raies harmoniques d'ordre j divisée par l'amplitude $A(f_{en})$ de la fondamentale (du signal d'entrée). Plus ce rapport est faible, plus le CAN possède un comportement linéaire.

Son expression est [9]:

$$\text{THD}_{\text{dB}} = 20 \cdot \log_{10} \left(\frac{\sqrt{\sum_{i=2}^j A^2(i, f_{en})}}{A(f_{en})} \right) \quad (\text{I. 13})$$

Avec $A(f_{en})$ l'amplitude fondamentale du signal d'entrée, $A(i, f_{en})$ l'amplitude de la i ème harmonique et j le nombre des harmoniques considérées.

I.3.2.3. SFDR (Spurious-Free Dynamic Range)

Ce paramètre définit le rapport entre la puissance de la raie fondamentale P_s et la puissance de la pire harmonique ou raie du spectre P_h . La SFDR est illustrée sur la figure (I.9) ci-dessous. L'expression générale de ce paramètre est [9]:

$$\text{SFDR}_{\text{dB}} = 10 \cdot \log_{10} \left(\frac{P_s}{P_h} \right) \quad (\text{I. 14})$$

I.3.2.4. SINAD (Rapport signal- bruit - et - distorsion)

Ce paramètre correspond au rapport entre la puissance contenue dans la raie fondamentale et la somme de la puissance des raies harmoniques et du bruit.

Par définition le SINAD s'exprime sous la forme [9]:

$$\text{SINAD}_{\text{dB}} = 20 \cdot \log_{10} \left(\frac{A(f_{\text{in}})}{\text{bruit} + \sqrt{\sum A^2(i, f_{\text{in}})}} \right) \quad (\text{I. 15})$$

I.3.2.5. Nombre de bits effectifs (ENOB)

Le nombre de bits effectifs est un nombre qui permet de caractériser l'ensemble des performances dynamiques d'un CAN. Sous cette notion de bits effectifs, l'ensemble des défauts du CAN sont pris en compte : la non-linéarité, le bruit de quantification, le bruit, les codes manquants, ou encore la monotonie. Il est important de noter que même dans le cas d'un CAN idéal de N bits, à cause du bruit de quantification, la résolution effective du convertisseur est inférieure à N . L'expression générale du nombre de bits effectifs est donc à partir de l'équation (I.11) [9]

$$\text{ENOB} = \frac{\text{SNR}_{\text{dB}} - 1,76}{6,02} \quad (\text{I. 16})$$

Nous utilisons la figure (I.9) pour montrer les Caractéristiques dynamiques abordés qui sont analysés dans le domaine fréquentiel.

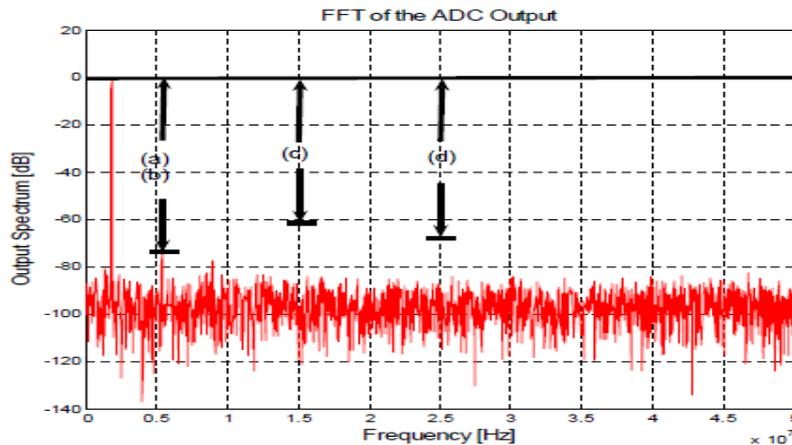


Figure I. 9: Spectre fréquentielle typique de la sortie d'un CAN Pipeline, (a) SFDR, (b) DR, (c) SNR, (d) SNDR

I.4. Architectures de CANs

On peut définir cinq grandes familles de convertisseurs analogiques numériques, présentant chacune une philosophie de fonctionnement particulière :

- CAN Flash
- CAN Sigma Delta
- CAN Pipeline
- CAN à Approximation successive (SAR)
- CAN Wilkinson (rampe)

I.4.1. Architecture Flash

L'architecture flash [13] [14] [15] ou parallèle est l'architecture de convertisseurs la plus rapide. Un CAN flash à N bits de résolution est basiquement constitué de 2^N-1 comparateurs et du même nombre de signaux de référence appelés $V_{réf}$. La figure (I.10) illustre un CAN flash à 2 bits. L'ordre des seuils est croissant de $V_{réf1}$ à $V_{réfn}$. Chaque comparateur compare l'échantillon du signal d'entrée à la référence ($V_{réf}$) qui lui est assignée. Ainsi, chaque comparateur génère un signal en sortie indiquant si le signal est supérieur ou inférieur à sa référence. La variation des sorties des comparateurs est similaire à celle du mercure dans un thermomètre, d'où le nom du code en thermomètre.

Les comparateurs dont la sortie est à un sont tous en bas et les zéros sont tous en haut, la limite entre les « zéros » et les « uns » (ou le nombre de comparateurs à 1) détermine la valeur du signal. Un encodeur sert à convertir le code thermomètre en code binaire.

Cette architecture montre ses limitations dès lors que la résolution dépasse les 8 bits.

Le nombre de comparateurs requis pour des hautes résolutions devient très grand (2^N-1) ce qui conduit à une surface du circuit importante, une forte consommation et une capacité d'entrée très élevée. De plus les erreurs sur les tensions de référence viennent s'ajouter à l'offset des comparateurs qui doit être inférieur à $\frac{1}{2}$ LSB, cette valeur est très petite pour des grandes résolutions

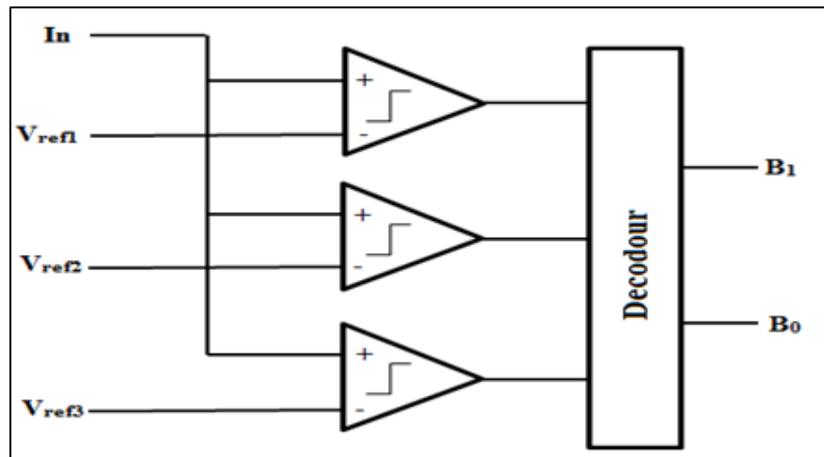


Figure I. 10: Architecture de CAN flash

I.4.2. Architecture Wilkinson (rampe)

➤ Convertisseurs simple rampe analogique

Dans les convertisseurs à rampe [16], [17], la tension analogique d'entrée est convertie en une durée qui est mesurée à l'aide d'une horloge et d'un comparateur. Le principe de fonctionnement de cette architecture à simple rampe est montré sur la figure (I.11). A l'aide d'un comparateur, on compare une rampe à la tension d'entrée. Un compteur commence à s'incrémenter lorsque le signal de la rampe passe sur le niveau zéro. Le comptage est arrêté par un basculement du comparateur indiquant que le signal de rampe est supérieur à la tension d'entrée.

Le mot binaire du compteur correspond alors à la valeur numérique du signal analogique. L'avantage de cette technique est sa simplicité et la grande résolution qu'elle peut permettre d'atteindre. Son inconvénient majeur est sa lenteur du fait que sa vitesse de conversion dépend de l'amplitude du signal.

Ce type CANs trouve des applications dans les multimètres numériques et les dispositifs de mesures précises ne nécessitant pas de vitesse élevée.

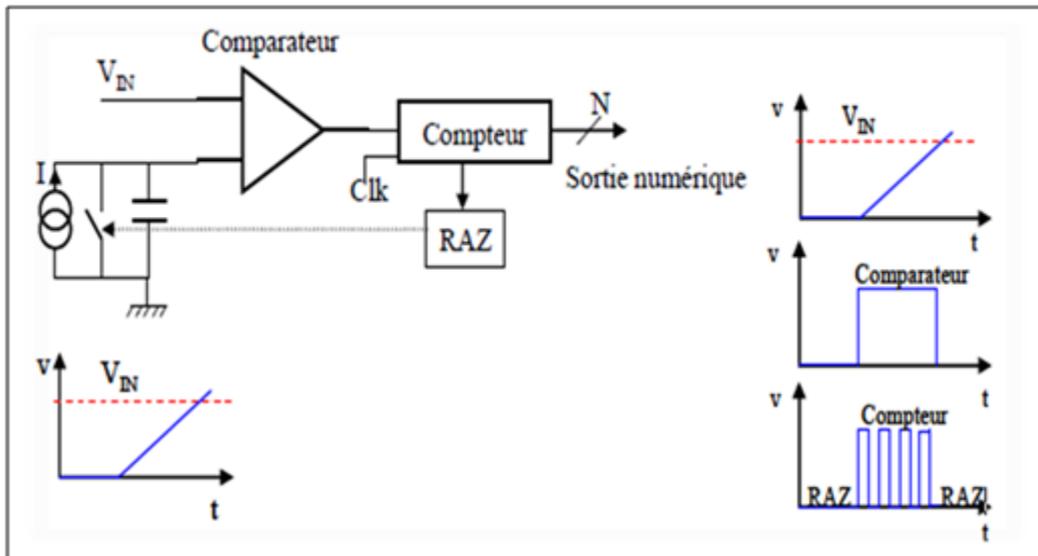


Figure I. 11: Convertisseurs simple rampe analogique

➤ **Convertisseurs à intégration numérique**

Dans ce cas, on remplace l'intégrateur analogique par un convertisseur Numérique Analogique [21]. La rampe est ainsi réalisée de manière numérique. Le temps n'intervient plus comme variable. Le compteur part de zéro, et compte jusqu'à ce qu'il atteigne une valeur très proche de celle correspondant à la tension d'entrée.

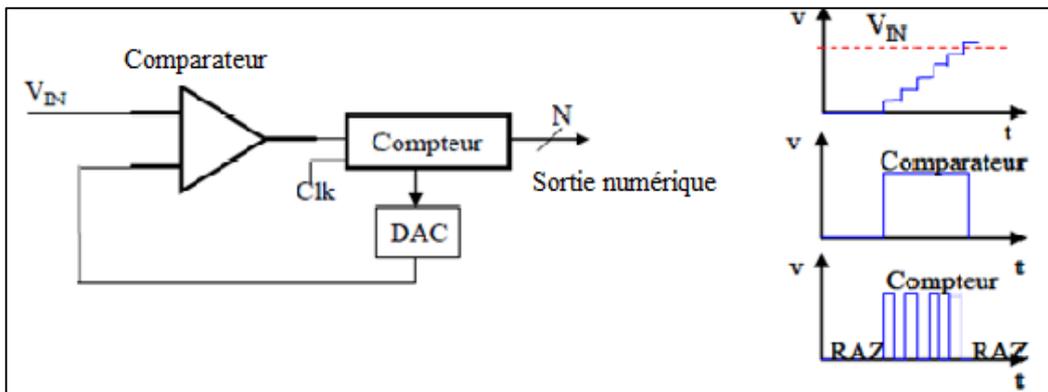


Figure I. 12: Convertisseurs à intégration numérique

➤ **Convertisseurs à double rampe**

On effectue ici une double intégration de manière à faire s'annuler les erreurs dues aux composants [19] [20] :

- Phase 1: On charge une capacité pendant un temps T_0 , fixé, sous la tension à mesurer. T_0 représente un cycle complet du compteur. $V_m = (V_{en}/RC) \cdot T_0$
- Phase 2: On décharge la capacité sous une tension fixée V_{ref} . Durant cette décharge, on incrémente un compteur (n bits) qui une fois la décharge terminée, sera l'image numérique de la tension à quantifier. $V_m = (V_{ref} / R_c) \cdot T_2$

On notera qu'il faut que V_{ref} et V_{in} soient de signe opposé.

On s'affranchit de l'incertitude sur la capacité. Seule la tension de référence intervient dans la mesure ainsi que le nombre (N) d'impulsions. $V_{in} = (T_2/T_0) \cdot V_{ref}$

Ces convertisseurs offrent une bonne résolution, mais sont très lents. En instrumentation basse fréquence, on peut atteindre une résolution de 18 bits. On ne peut espérer des temps de conversion très courts car il faut au moins $2 \cdot 2^N$ cycles d'horloge par acquisition.

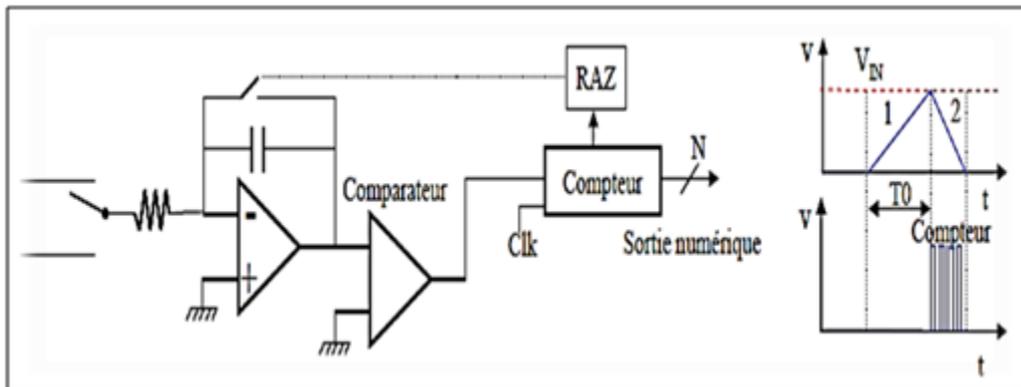


Figure I. 13: Convertisseurs à double rampe

I.4.2.1. Architecture à approximation successive (SAR)

Les convertisseurs par approximations successives [22] [23] réalisent la conversion par comparaison en plusieurs étapes. A chaque étape, le résultat de cette comparaison est stocké dans un registre, jusqu'à l'obtention du résultat final. Le principe consiste à comparer la tension du signal d'entrée avec une tension issue d'un registre après conversion numérique analogique (CAN). Le schéma bloc de la figure (I.14) montre le fonctionnement d'un tel convertisseur. Au départ le MSB du registre est mis à 1 et les autres bits sont à 0.

Ainsi, la tension en sortie du CAN est égale à la moitié de la pleine échelle (PE). Si la tension d'entrée est inférieure à cette valeur, le MSB est mis à 0. A son tour, le bit suivant sera mis à 1 et une nouvelle comparaison avec le signal d'entrée sera faite, jusqu'au dernier bit du registre. Une résolution de N bits implique une durée de conversion minimale de N cycles d'horloge. Son principal inconvénient est donc le temps de conversion, qui limite ses performances à quelques MS/s environ. En dépit de sa lenteur, ce convertisseur présente l'avantage d'être simple à réaliser et d'avoir une surface modérée. Il permet d'atteindre des résolutions jusqu'à 12 bits sans calibration avec de bonnes performances en termes de INL et DNL. Le temps de conversion est constant

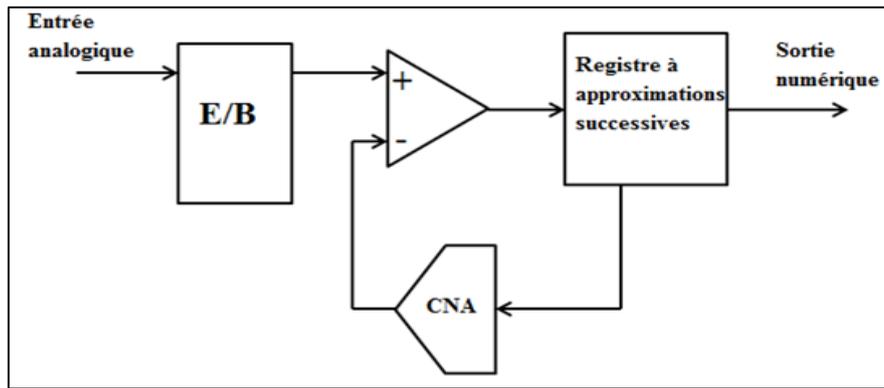


Figure I. 14: CAN SAR (Successive approximation register)

I.4.2.2. Architecture Sigma-Delta

Les convertisseurs Sigma Delta forment une classe à part de convertisseurs analogiques numériques appelés convertisseurs à suréchantillonnage. En effet, le fait de suréchantillonner l'entrée au-delà de la fréquence de Nyquist, puis de filtrer la sortie numérique en ne conservant que la bande utile du signal permet d'augmenter le rapport signal sur bruit. Cependant, le fait que la fréquence de suréchantillonnage ne peut pas être augmentée indéfiniment constitue la limite de la technique de suréchantillonnage et de filtrage. Ainsi, une autre technique vient alors s'ajouter au processus de sur échantillonnage. La modulation Sigma Delta.[14] Cette technique consiste à mettre en forme le bruit de quantification afin de réduire son énergie dans la bande utile du signal[15].

Un filtre décimateur vient s'ajouter au modulateur pour filtrer le bruit hors de la bande utile du signal et ramener le fonctionnement du système à la fréquence de Nyquist.

Le convertisseur Sigma Delta utilise un quantificateur basse résolution (souvent un seul bit), cadencé à des taux considérablement plus élevés que ceux demandés par le critère de Nyquist Le quantificateur crée un grand nombre d'échantillons bas résolution qui sont moyennés au cours du temps. En choisissant une quantification sur un bit (deux niveaux logiques), la conception analogique est potentiellement plus simple [15].

Dans le domaine numérique, un filtre décimateur est nécessaire pour reconstruire les données de sortie à la fréquence de Nyquist et retirer le bruit hors bande. La figure (I.15) montre un convertisseur exploitant un bloc modulateur de premier ordre suivi du filtre décimateur.

Il comprend un soustracteur, un intégrateur et un comparateur. La sortie du comparateur alimente un CAN 1 bit qui ferme la boucle de contre-réaction du modulateur.

Ce dernier exerce donc la comparaison du signal d'entrée avec un niveau de référence issu du CAN qui commute entre $\pm V_{ref}$. Le comparateur est cadencé à la fréquence de sur échantillonnage.

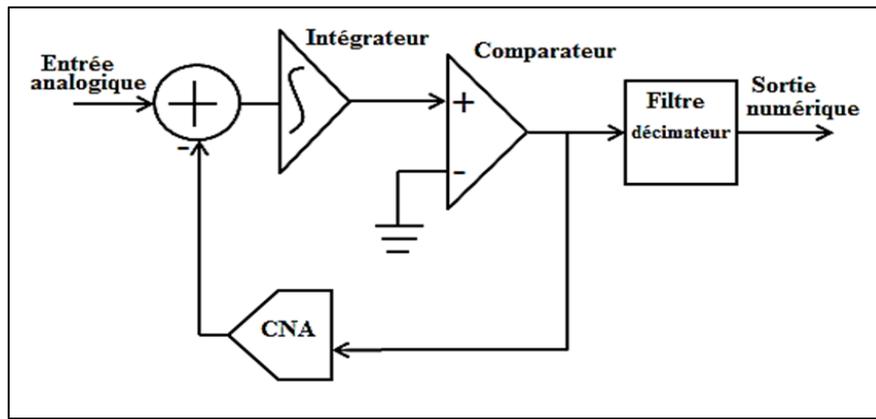


Figure I. 15: CAN Sigma-Delta (Σ/Δ)

I.4.2.3. Architecture Pipeline

Un convertisseur pipeline est un autre type de convertisseurs à multiples étages [24] [25] [26]. Cependant, l'architecture des étages a été modifiée dans le but d'augmenter la fréquence de conversion et diminuer les contraintes sur les comparateurs. Ce type CAN est composé d'une cascade d'étages dits pipeline identiques de faible résolution (1 à 3 bits). Chaque étage inclut un échantillonneur-bloqueur (E/B) et un amplificateur (figure I.16). A chaque coup d'horloge, on effectue n conversions en parallèle, n'étant le nombre d'étages. En traversant le convertisseur (en n clocks), la tension d'entrée est convertie en commençant par les bits de poids forts et finissant par les bits de poids faibles.

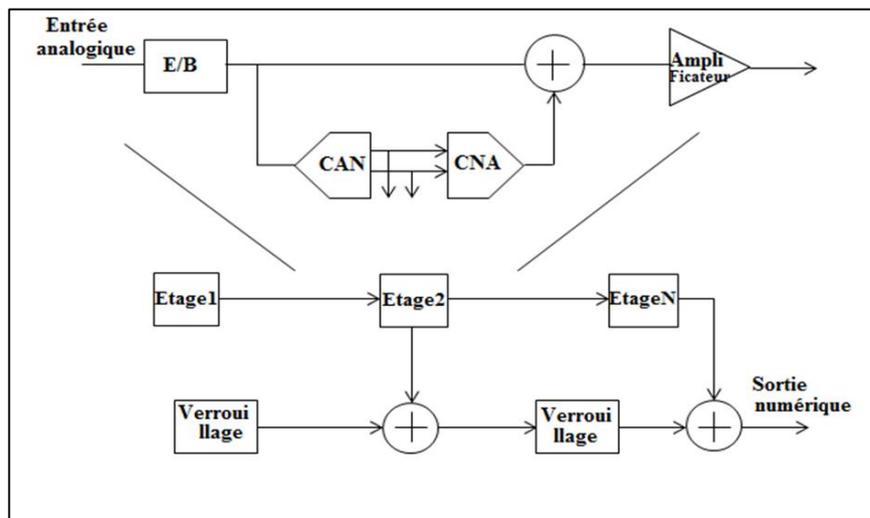


Figure I. 16: CAN Pipeline

I.5. Conclusion

Les concepts de base du convertisseur analogique-numérique ont été introduites. Ensuite, les indicateurs de performance fondamentaux pour caractériser les CANs ont été décrits. Enfin, les différentes architectures de convertisseurs à grande vitesse ont été examinées. Toutes les architectures de conversion que nous venons de présenter ont servi dans différentes réalisations dans le domaine électronique de conditionnement et de traitement des signaux. Cependant, leurs spécificités (résolution, vitesse, etc.) font qu'elles ne sont adaptées qu'à certaines architectures de conditionnement. Des critères tels que la bande passante du signal, la fréquence d'échantillonnage, la surface et la consommation sont déterminantes dans le choix d'un convertisseur (Tableau I.1).

Les convertisseurs Analogique Numérique font l'interface entre le monde naturel: signaux continus, et le monde des ordinateurs: suite de 1 et de 0. Il existe différents types de convertisseurs Analogique – Numérique (figure I.17) des plus rapides (avec une fréquence d'échantillonnage, F_s , élevée: au-delà du GHz et une résolution faible (8 à 10 bits), au plus lents (quelques KHz pour F_s) mais précis (24 bits de résolution par exemple) [9]

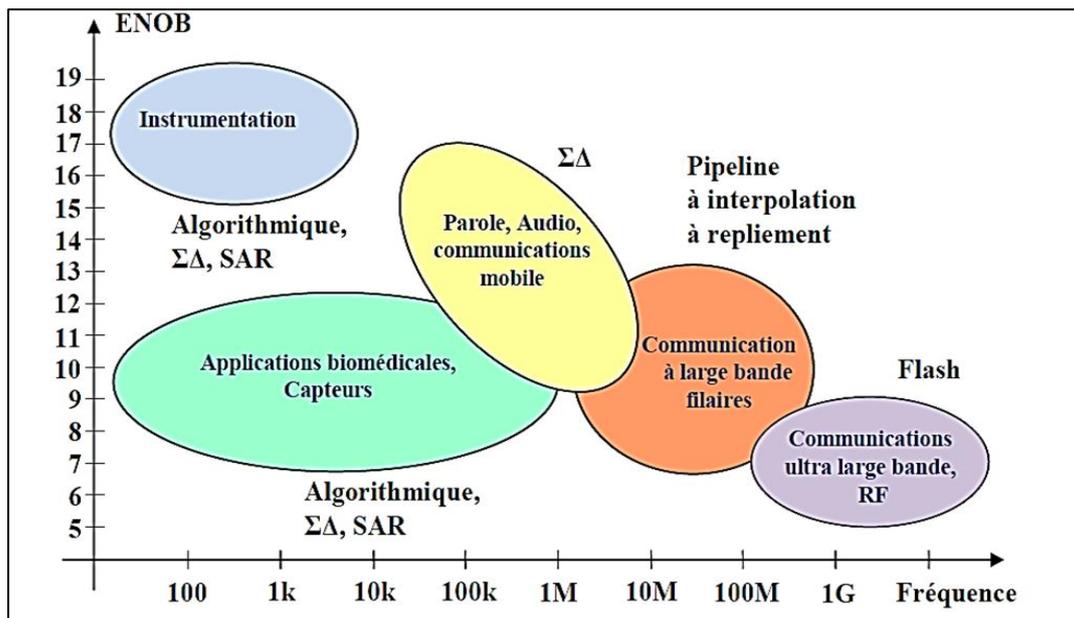


Figure I. 17: Hiérarchie des différents Convertisseurs Analogique-Numérique [27]

Selon le domaine, les CAN SAR présentent un bon compromis entre performance, consommation et coût. Ils fonctionnent à plusieurs dizaines ou centaines de MS/s (Mega Sample, Million d'échantillons) pour des résolutions de 10 à 14 bits.

Dans le chapitre suivant, nous allons introduire le Principe de fonctionnement du CAN SAR.

Architecture	Résolution	Vitesse de conversion	Avantages /inconvénients
Wilkinson	8 à 18 bits	$\leq 100\text{KHz}$	<ul style="list-style-type: none"> -Simplicité -Résolution élevée -Faible consommation. - Excellente réjection analogique du bruit - Très faible vitesse d'échantillonnage -Dispersion pour multi voies -Offset comparateur
$\Sigma\Delta$	16 à 24 bits	$\leq 5\text{MHz}$	<ul style="list-style-type: none"> - Résolution la plus élevée - Excellente linéarité - Faible consommation. - Excellente rejection numérique du bruit - Vitesse d'échantillonnage limitée
SAR	8 à 16 bits	$\leq 20\text{MHz}$	<ul style="list-style-type: none"> - Résolution élevée - Faible consommation. - Vitesse d'échantillonnage limitée -CNA et comparateurs principales difficultés
Pipeline	8 à 16 bits	Entre 10 et 500 MHz	<ul style="list-style-type: none"> - Très rapide - Correction numérique des erreurs - Meilleur compromis vitesse/résolution
Flash	6 à $10\leq$ bits	Jusqu'à 20GHz	<ul style="list-style-type: none"> - Les plus rapides - Résolution limitée - Puce de dimension importante - Capacité d'entrée élevée - Consommation importante

Tableau I. 1: Résumé sur les architectures de CAN [20] [22] [28]

CHAPITRE II

PRINCIPE DE FONCTIONNEMENT DU CAN SAR

II.1. Introduction

Les convertisseurs analogiques numériques à approximations successives sont des composants électroniques qui transforment un signal analogique (p. ex. la voix) en un signal numérique codé sous forme binaire c.-à-d., 1 ou 0. Ils se distinguent des autres architectures de convertisseurs de par leur particularité à posséder à la fois une résolution moyenne, un taux de conversion moyen, une faible dissipation de puissance, une bonne précision et une faible demande en surface. Cette topologie de convertisseur est plus attractive dans les applications médicales et les appareils portatifs.

Tout au long de cette section, nous allons présenter de façon détaillée le mode de fonctionnement d'un CAN-SAR et ses métriques de performances.

II.2. Mode d'opération du CAN à approximations successives

Pour une architecture qui rime avec simplicité, nous avons le CAN-SAR dont le schéma bloc est décrit à la figure (II.1).

Il est constitué d'un échantillonneur bloqueur (E/B), un comparateur, un registre à approximations successives, une logique de contrôle et un convertisseur numérique analogique (CNA). Cette topologie de circuit est très versatile, son mode d'opération est basé sur un algorithme de recherche binaire. Autrement dit, l'opération consiste à vérifier l'état de chaque bit issu de la logique numérique. Le résultat final de la conversion est récupéré au niveau du bloc numérique. L'une des particularités associées à cette architecture est que son taux de conversion est une fraction de sa fréquence d'horloge. Ceci étant dû à l'algorithme d'approximations successives [29].

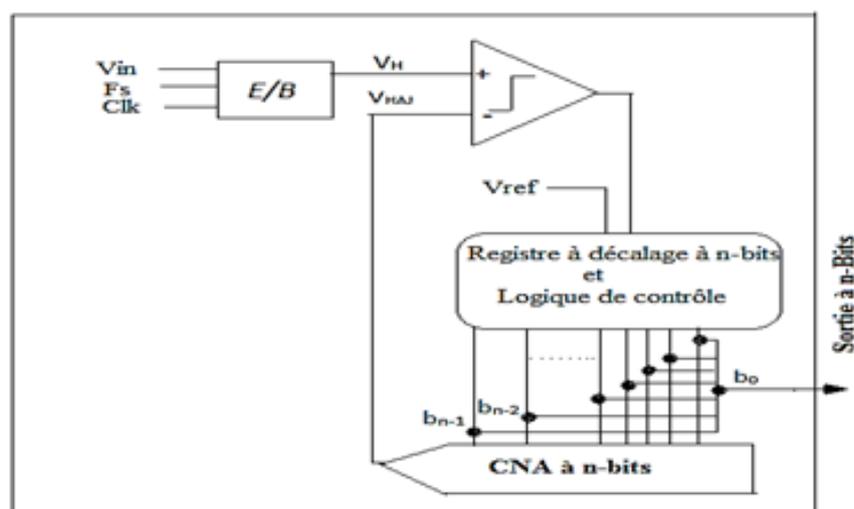


Figure II.1: Schéma bloc d'un CAN à approximations successives

II.2.1. Principe de fonctionnement

Bien qu'il existe plusieurs topologies au niveau circuiterie, le principe de fonctionnement reste le même. Le signal d'entrée analogique (V_{in}) est échantillonné sur l'entrée positive (VH) du comparateur. Par la suite, l'algorithme de recherche binaire se met en marche. Le registre à décalage à n bits est fixé à mi-échelle (c.-à-d., 10^{n-1} où le bit b_{n-1} est mis à 1). Ce code numérique est envoyé au CNA et force sa tension de sortie (V_{CNA}) à $1/2V_{ref}$ où V_{ref} est la tension de référence généralement fixé à VDD (tension d'alimentation). Une comparaison est alors effectuée entre VH et VHAIJ afin de déterminer si la tension à convertir (VH) est supérieure ou inférieure à la tension de sortie du CNA (V_{CNA}).

Si VH est supérieure à $1/2V_{ref}$, la sortie du comparateur est au niveau haut ou '1' et l'état du bit b_{n-1} ou bit le plus significatif (MSB Mustsignificant bit) reste inchangé, soit '1'. Par contre, si VH est inférieure à $1/2 V_{ref}$, la sortie du comparateur est au niveau bas ou '0' et le MSB est mis à '0'. À ce niveau, deux situations prévalent. La tension à convertir (VH) est supérieure ou inférieure à la tension de sortie du CNA. Si VH est supérieure à $1/2V_{ref}$, la sortie du comparateur est au niveau haut ou '1' et l'état du bit b_{n-1} ou bit le plus significatif (MSB Mustsignificant bit) reste inchangé, soit '1'. Par contre, si VH est inférieure à $1/2V_{ref}$, la sortie du comparateur est au niveau bas ou '0' et le MSB est mis à '0'. À ce niveau, deux situations prévalent.

Advenant que la sortie du comparateur soit '1', la logique de contrôle via le registre à décalage à n bits va fixer le bit b_{n-2} à 1 et les bits b_{n-3} à b_0 sont mis à '0'. Pendant ce temps, le MSB reste à '1' puisque son état a déjà été identifié. La sortie du CNA va maintenant être $3/4V_{ref}$ et une nouvelle comparaison est ainsi effectuée entre VH et $3/4V_{ref}$. Ensuite, dans le cas où la sortie du comparateur est de nouveau à '1', le bit b_{n-1} reste inchangé et son état est donc identifié. La logique de contrôle via le registre à décalage va fixer le bit b_{n-3} à '1' et les bits b_{n-4} à b_0 sont mis à '0'. La nouvelle valeur de VHAIJ est $7/8V_{ref}$ et une nouvelle comparaison est alors effectuée entre VH et $7/8V_{ref}$.

Dans le cas où la sortie du comparateur est plutôt '0', la logique de contrôle via le registre à décalage à n bits va d'abord remettre le MSB à zéro. Par la suite, le bit b_{n-2} est fixé à '1' et les bits b_{n-3} à b_0 sont mis à '0'. La sortie analogique du CNA va maintenant être à $1/4V_{ref}$ et une nouvelle comparaison est ainsi effectuée entre VH et $1/4V_{ref}$ afin de déterminer l'état réel du bit b_{n-2} . En supposant que la sortie du comparateur est de nouveau à '0', le bit b_{n-2} est remis à '0' et son état est ainsi identifié. La logique de contrôle via le registre à décalage va fixer le bit b_{n-3} à '1' et les bits b_{n-4} à b_0 sont mis '0'.

La valeur de la tension de sortie du CNA est maintenant égale à $1/8V_{ref}$ et une nouvelle comparaison est alors effectuée entre V_H et $1/8V_{ref}$. On voit bien que l'identification d'un bit nécessite qu'on se fixe une hypothèse au préalable.

En d'autres termes, c'est le principe d'approximation de façon subséquente. Dépendamment que l'on soit dans l'une des situations établies ci-dessus, le processus va se répéter de la même manière jusqu'à ce que la tension de sortie (V_{HAJ}) du CNA converge vers la valeur échantillonnée (V_H). En d'autres termes, la conversion prend fin lorsque le bit b_0 est identifié. L'algorithme de recherche binaire qu'utilise le CAN-SAR est semblable à un arbre de partie dont chaque niveau correspond à un cycle d'horloge. Nous pouvons donc déduire que la conversion d'un mot de n bits requiert n coups d'horloge. Cependant, en fonction du concepteur, on peut ajouter un coup d'horloge pour l'initialisation et un autre coup d'horloge pour démarrer la conversion. La figure (II.2) illustre le schéma bloc d'une recherche binaire sous forme d'un arbre de partie dans le cas d'un CAN-SAR à trois (3) bits.

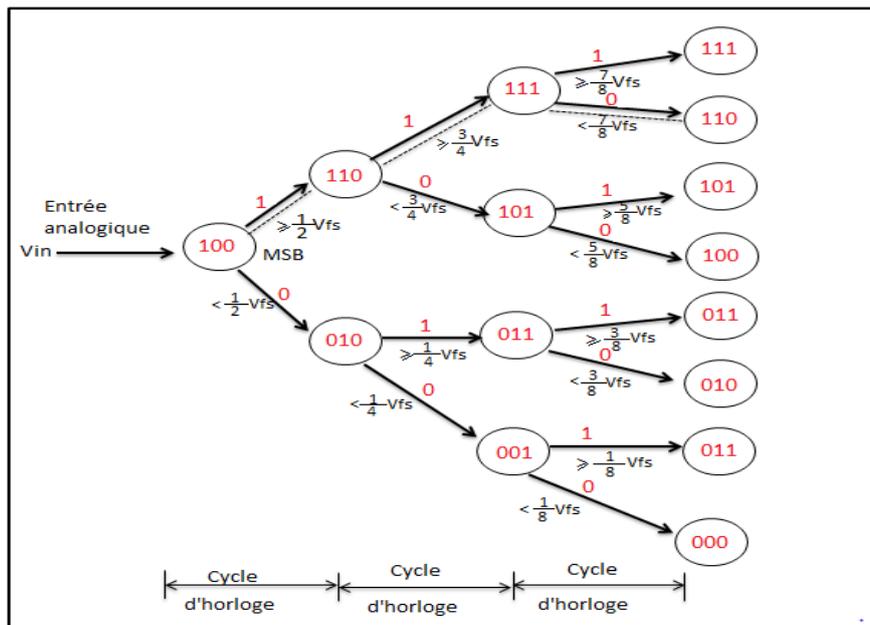


Figure II. 2: Arbre de recherche binaire d'un CAN-SAR durant le processus D'identification du code 110

La fonctionnalité de base d'un CAN SAR est très simple (figure II.3). L'analogique V_{IN} de la tension d'entrée est échantillonné par le Track& bloc de maintien. Pour mettre en œuvre l'algorithme de recherche binaire, le registre N -bit est d'abord réglé sur midscale réglage du MSB à '1' et tous les autres bits à '0'. Cela force la sortie du CNA, VDAC, pour être la moitié de la tension de référence $V_{REF} / 2$. V_{IN} est ensuite comparé à VDAC, si V_{IN} est supérieure à VDAC, la sortie du comparateur est à 1 logique et le bit de poids fort du registre de N bits reste à 1. Inversement, si V_{IN} est inférieure à VDAC, la sortie du comparateur est à 0 logique et la MSB du registre est

autorisé à 0. la logique de commande SAR se déplace alors à l'autre peu vers le bas, les forces que peu élevé, et en fait une autre comparaison.

La séquence se poursuit tout le chemin jusqu'à la LSB. Une fois cela fait, la conversion est terminée, et le mot numérique à N bits est disponible dans le registre [14].

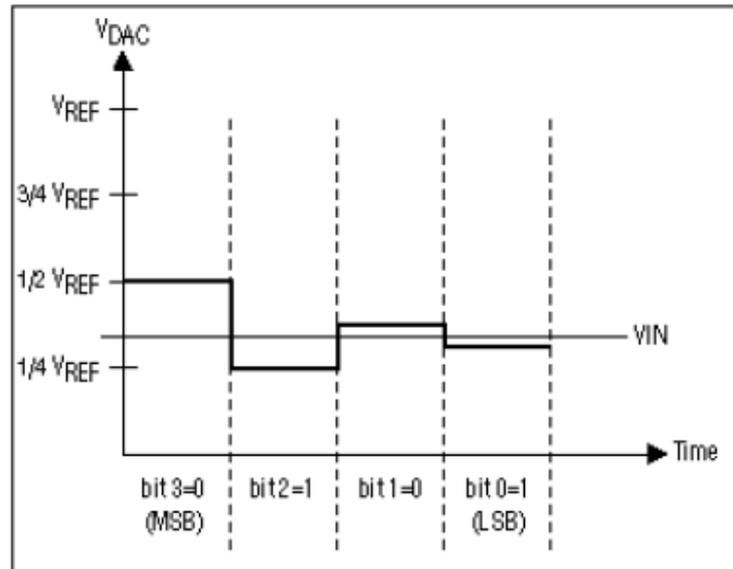


Figure II.3: Principe de la commande vectorielle

CAN SAR fonctionne avec deux fréquences d'horloge différentes. La première horloge est une entrée de la puce, et sa fréquence, f_{int} , est celle à laquelle le circuit interne fonctionne.

La seconde horloge entraîne l'échantillonnage et de maintien pour échantillonner la valeur d'entrée analogique. Cette seconde horloge interne est créée par un diviseur de fréquence; il devrait être X fois plus lente de la première, où X est le nombre de périodes de comparaison nécessaires à partir de la logique de commande pour effectuer une conversion.

Le taux de conversion est déterminé par cette seconde horloge, un N-bit CAN SAR exigera N périodes minimales et ne sera pas prêt pour la prochaine conversion jusqu'à ce que l'actuel est complet.

II.3. Composant de Convertisseur SAR

SAR CAN a quatre réseaux des blocs de construction :

- Echantillonneur bloqueur: ((Sample- and-hold (S / H)).
- Convertisseur numérique-analogique(CNA).
- Comparateur.
- Registre à Approximation Successive (RAS) (Successive Approximation Registre (SAR)).

II.3.1. Echantillonneur bloqueur

Dans une chaîne d'acquisition de données et de traitement du signal, l'échantillonneur-bloqueur est un élément incontournable car la rapidité et la précision du traitement dépendent de ses performances [30]. La fonction de l'échantillonneur-bloqueur est de suivre les variations du signal d'entrée pendant une phase d'échantillonnage, puis de mémoriser les échantillons prélevés à la réception d'une commande de blocage, pendant une durée suffisante pour que le CAN puisse procéder à la conversion analogique-numérique [31].

La façon la plus simple de réaliser un échantillonneur-bloqueur consiste à associer un commutateur analogique (ou interrupteur) à un condensateur de charge (CL). Les commandes d'ouverture et de fermeture de l'interrupteur sont assurées par une horloge générant un signal périodique rectangulaire. Lorsque l'interrupteur est fermé-le signal d'horloge est à l'état haut L'E/B est en mode d'échantillonnage et suit les variations du signal d'entrée. Après cette période d'acquisition, l'E/B passe au mode bloqué à l'ouverture de l'interrupteur -le signal d'horloge est à l'état bas -et la dernière valeur acquise est mémorisée par le condensateur jusqu'à la prochaine phase d'échantillonnage [32], [33]. Cette opération périodique est illustrée à la figure II.4 avec une entrée sinusoïdale.

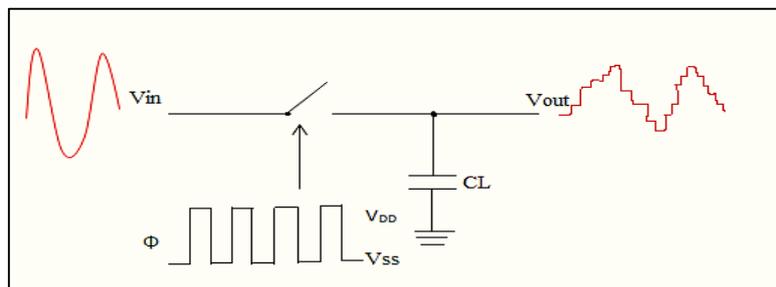


Figure II. 4: Circuit d'un échantillonneur-bloqueur idéal (Adapté de [32])

En pratique, le modèle simplifié de la figure (II.4) souffre de limitations à cause de la faible impédance d'entrée de l'échantillonneur et de l'impédance du circuit de charge en aval de L'E/B [32], [33].

Le rôle d'un échantillonneur bloqueur ou Sample and hold (S/H) est de maintenir constante. L'amplitude de l'échantillon prélevé tous les T_e durant le temps nécessaire à sa conversion. Se représente la période d'échantillonnage [34].

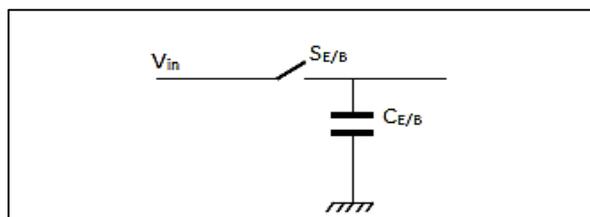


Figure II. 5: Echantillonneur bloqueur le plus simple

Réaliser un échantillonneur bloqueur consiste à associer un interrupteur à une capacité Figure (II.5). La capacité joue le rôle d'élément mémoire, l'interrupteur est là pour réactualiser la valeur mémorisée ou bien l'isoler vis à vis de l'entrée.

Cependant l'utilisation seule d'un interrupteur et d'une capacité introduisent des limitations en termes de rapidité et de maintien [35]:

- La résistance d'entrée R_{on} du Switch limite la possibilité du suivi de la tension (constante de temps RC).
- La résistance de sortie due à la résistance d'entrée du montage en aval du S/H introduit une limitation du maintien de la tension lors de la phase de blocage due à la décharge de la capacité dans cette résistance.
- Les injections de charges dues à l'ouverture du canal des MOS de l'interrupteur créent une erreur de recopie de la tension.

Pour s'affranchir de l'environnement amont et aval du S/H, on peut disposer en entrée et en sortie du S/H deux suiveurs Figure II.6.

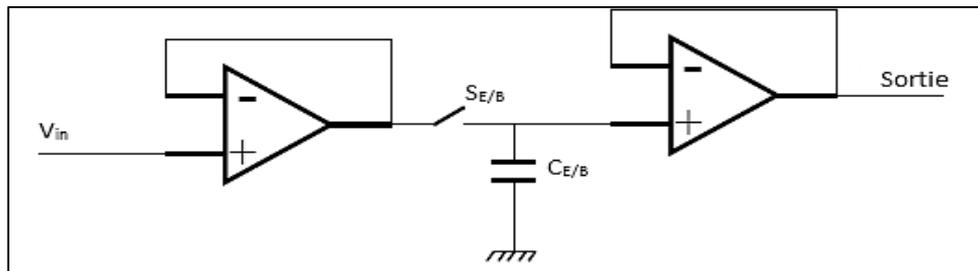


Figure II. 6: Echantillonneur bloqueur

Une configuration très simple, mais [34]:

- Les offsets des deux ampli-ops sont cumulés.
- Le deuxième amplificateur doit avoir une impédance d'entrée très élevée pour éviter que la.
- la capacité de sampling se décharge et fasse chuter la tension de recopie de plus de 0.5 LSB)
- Le premier doit avoir une impédance de sortie très faible pour attaquer la capacité et toute l'amplitude se retrouve à sa sortie aux bornes de la capacité.

Le montage (figure II.7) est une amélioration du précédent. Le gain du premier ampli-op est utilisé pour fixer la précision voulue. Le deuxième est toujours en suiveur, mais seul l'offset du premier est déterminant. Toute la tension est toujours demandée en sortie du premier amplificateur.

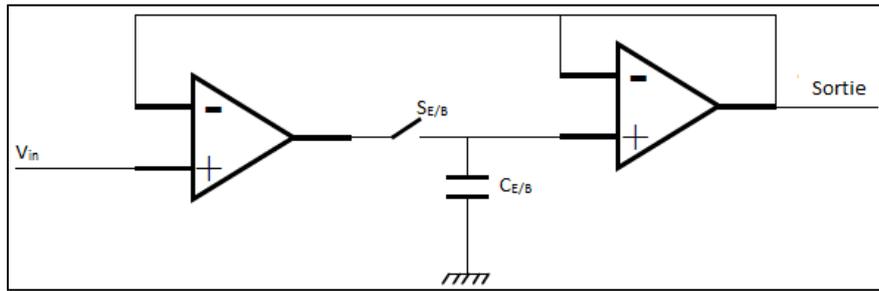


Figure II. 7: Echantillonneur bloqueur 2

Le montage de la figure (II.8) présente les mêmes avantages que le montage précédent (impédance d'entrée, impédance de sortie) en s'affranchissant des offsets des deux amplificateurs. Son inconvénient est ailleurs: il faut contre réactionner sur l'entrée +, puisque le signal est inversé dans le deuxième amplificateur. C'est souvent un très bon oscillateur.

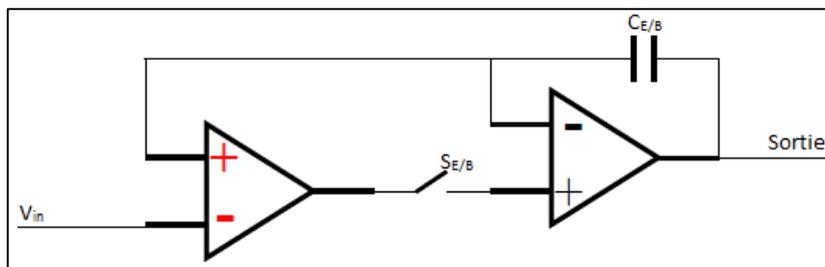


Figure II. 8: Echantillonneur bloqueur 3

Enfin, ce dernier montage (figure II.9) à capacités commutées permet de n'utiliser qu'un seul amplificateur.

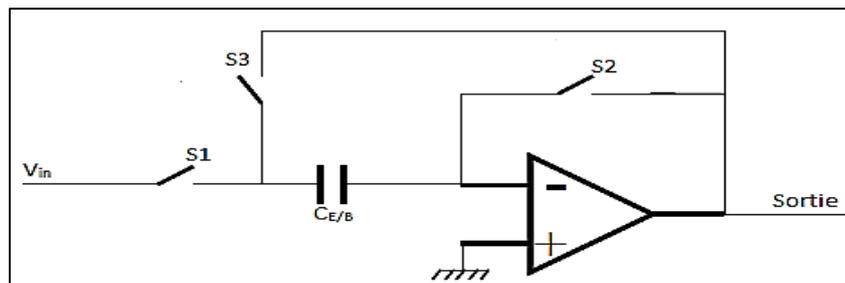


Figure II. 9: Echantillonneur bloqueur 4

Le séquençement est le suivant :

- Track : S1 et S2 fermés, S3 ouvert. La capacité se charge sur la très faible impédance d'entrée ($1/g_m$) de l'amplificateur à transconductance
- Hold : S1 et S2 ouverts, S3 fermé. La capacité est placée en contre réaction, et donc la sortie garde en mémoire la tension à ses bornes. L'offset de l'amplificateur est quasiment annulé.

C'est finalement le plus simple des montages qui a été retenu (figure II.5), à savoir un interrupteur et un condensateur. Il présente l'avantage de peu consommer. De plus, sa sortie sera une grille de transistor qui présentera une forte impédance permettant de limiter les phénomènes de décharge du condensateur.

II.3.2. Convertisseur numérique-analogique(CNA)

Le CNA convertit le mot numérique à la sortie de la logique de SAR à une valeur analogique. Ensuite, dans le comparateur, cette valeur est comparée au signal d'entrée.

Dans le CNA capacitif avec l'échantillon inhérente et Hold, l'opération d'échantillonnage est effectuée par le CNA et est appelé redistribution de charge CNA. De nos jours, CNAs frais de redistribution sont couramment utilisés. Ils consomment moins d'énergie et induisent moins d'erreurs de discordance par rapport à la résistance en fonction du CNA.

La redistribution de charge CNA a le temps de conversion rapide. De plus, ils sont fabriqués facilement [36], [37]. Dans les trois architectures différentes de CNA capacitive suivants sont présentées.

II.3.2.1. Binaire pondérée réseau de condensateurs

Un N-bit binaire pondérée réseau de condensateurs est représenté dans la figure (II.10). Il se compose de condensateurs binaires mis à l'échelle, à savoir, $2^{N-1}C_u$, $2^{N-2}C_u$, $2C_u$, C_u , C_u . Le dernier condensateur est un mannequin qui a une valeur égale que le LSB condensateur. Ainsi, la valeur totale des condensateurs est $2^N C_u$ [38].

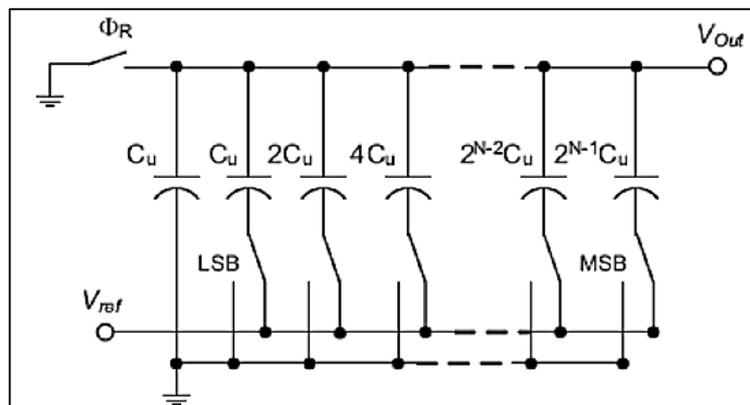


Figure II. 10: Réseau de condensateurs d'un CNA [39]

Tout d'abord, dans la phase de remise à zéro de toutes les plaques de fond sont mis à la terre Pendant le mode de redistribution, dans lequel la conversion proprement dite est effectuée sur la base du code numérique fourni, les interrupteurs sont reliés à chaque Vref ou au sol La zone occupée et la consommation d'énergie de l BWC augmente avec l'augmentation de la résolution [39]

II.3.2.2. Réseau capacitif à atténuation

Condensateur tableau à deux étages a été proposé dans [40] pour atténuer la grande taille de la capacité dans le tableau BWC. Figure (II.11) illustre un tableau TWC. Dans cette approche, le tableau BWC est divisé en deux petits BWC et un condensateur de couplage est ajouté entre deux parties. La valeur du condensateur de couplage est déterminée dans l'équation (II.1) [39].

$$C_{split} = \frac{2^{\frac{N}{2}}}{2^{\frac{N}{2}-1}} \tag{II. 1}$$

Cette architecture réduit la surface occupée et la consommation d'énergie.

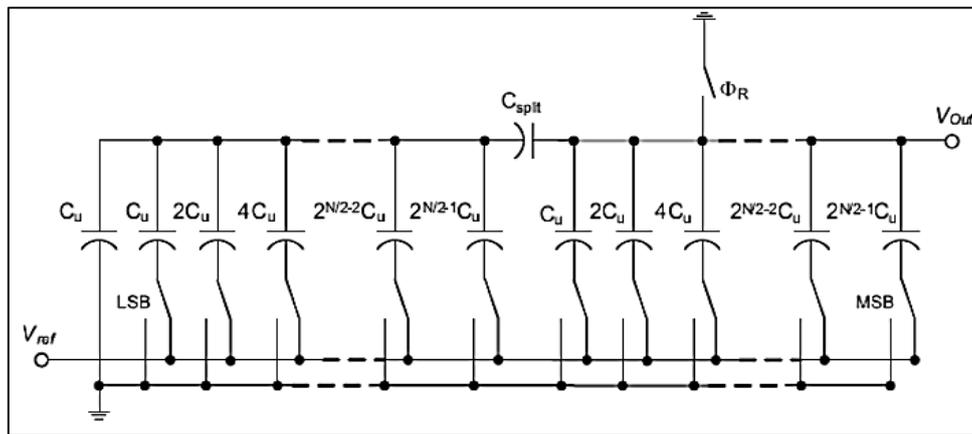


Figure II. 11: CNA à Atténuation 12 Bits [39]

II.3.2.3. Réseau capacitif C-2C

Réseau capacitif C-2C est une extension du réseau TWC. Figure (II.12) montre un exemple d'échelle C-2C. Dans cette configuration, les valeurs des condensateurs sont considérablement réduites. Par conséquent, ce type de CNA peut atteindre une vitesse plus élevée, tout en consommant moins d'énergie. La consommation d'énergie augmente de façon linéaire, en contraste avec BWC dans lequel la puissance augmente de façon exponentielle. Le principal inconvénient de cette configuration est la dégradation de la linéarité due à des capacités parasites [41].

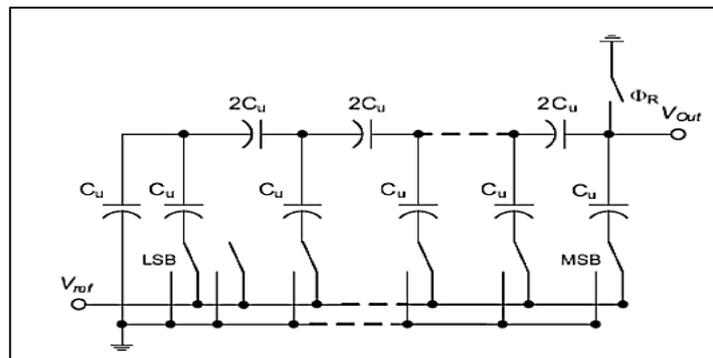


Figure II. 12: CNA capacitif C-2C [39]

II.3.2.4. Modèle du SUB-CNA

La partie la plus importante et la plus critique dans chaque convertisseur SAR il se compose d'échantillonneur bloqueur (E/B), Sub-CNA, un circuit sommateur et l'amplificateur. Les E/B et les Sub-CNA sont mis en application en employant des sources courantes et la technique des commutateurs de courant, cette technique a été proposée comme solution à beaucoup de problèmes en comparaison avec la technique de capacité commuté (SC), la figure (II.13) illustré le modèle du Sub-CNA et sa configuration en transistor CMOS. Les valeurs de sorties des courantes sont $I_{ref}/2$, 0, $-I_{ref}/2$ pour les codes d'entrée 100, 010 et 001 respectivement [42].

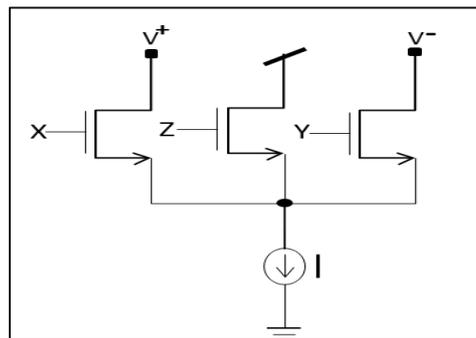


Figure II. 13: Configuration en transistor CMOS

II.3.3. Comparateur

Un comparateur est un circuit qui possède deux entrées analogiques (V_{in+} et V_{in-}) et une sortie numérique (V_o). Son comportement idéal est le suivant [43] [44] :

$$V_o = \begin{cases} V_{OH} & \text{si } V_{in+} - V_{in-} > 0 \\ V_{OL} & \text{si } V_{in+} - V_{in-} < 0 \end{cases} \quad (II. 2)$$

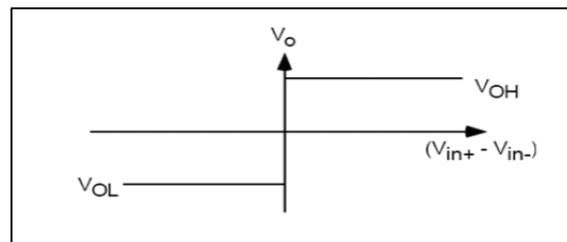


Figure II. 14: Fonction de transfert d'un comparateur idéal

Un tel comparateur n'est pas réalisable car il suppose un gain infini. Un comportement qui se rapproche de la réalité est le suivant :

$$V_o = \begin{cases} V_{OH} & \text{si } V_{in+} - V_{in-} > V_{IH} \\ A_v (V_{in+} - V_{in-}) & \text{si } V_{IL} < (V_{in+} - V_{in-}) < V_{IH} \\ V_{OL} & \text{si } V_{in+} - V_{in-} < V_{IL} \end{cases} \quad (II. 3)$$

Avec A_v le gain en tension

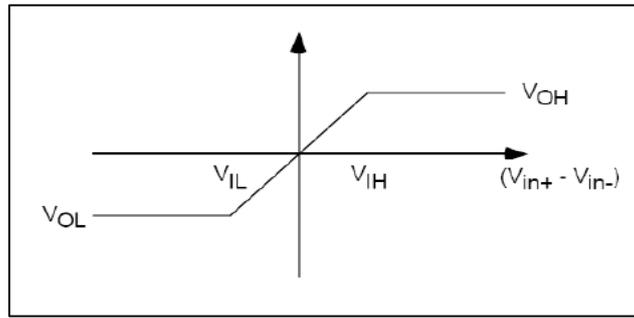


Figure II. 15: Fonction de transfert d'un comparateur à gain fini

Si on rajoute maintenant l'offset des comparateurs, cela donne:

$$V_0 = \begin{cases} V_{OH} & \text{si } V_{in^+} - V_{in^-} > V_{IH} \\ A_v (V_{in^+} - V_{in^-}) - A_v (V_{OS}) & \text{si } V_{IL} < (V_{in^+} - V_{in^-}) < V_{IH} \\ V_{OL} & \text{si } V_{in^+} - V_{in^-} > V_{IL} \end{cases} \quad (II. 4)$$

Avec A_v le gain en tension

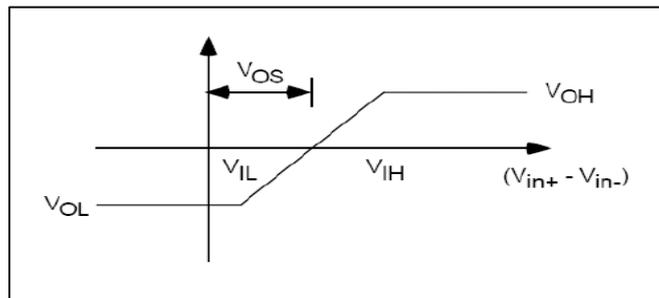


Figure II. 16: Fonction de transfert d'un comparateur à gain fini présentant un Offset statique

D'autres phénomènes sont enfin aussi à prendre en compte telle que bruit ou le temps de retard de la réponse du comparateur.

II.3.4. Registre à approximation successive

Successive registre d'approximation CAN implémente l'algorithme de recherche binaire en utilisant la logique de commande SAR.

En général, il existe principalement deux approches fondamentalement différentes de concevoir la logique SAR. Le premier qui est proposé par Anderson se compose d'un compteur en anneau et un registre à décalage. Au moins $2N$ flip flops sont employés dans ce genre de SAR [43]. L'autre, qui est proposé par Rossi, contient N f et un flip flops certaine logique combinatoire [44].

Une logique de commande RS détermine la valeur des bits séquentiellement sur la base du résultat de la comparaison. Opération SAR peut être représentée à l'aide d'une machine séquentielle Finite State qui est illustré dans le tableau (II.1). Chaque conversion prend 12 cycles d'horloge. Dans le premier cycle d'horloge, SAR est en mode de remise à zéro et toutes les sorties sont à zéro.

Au cours des dix prochains cycles d'horloge, les données sont converties et chaque bit est déterminé séquentiellement. Le dernier cycle est destiné à mémoriser les résultats de la conversion complète.

Cycle	Simple	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Comp
0	1	0	0	0	0	0	0	0	0	0	0	-
1	0	1	0	0	0	0	0	0	0	0	0	a9
2	0	a9	1	0	0	0	0	0	0	0	0	a8
3	0	a9	a8	1	0	0	0	0	0	0	0	a7
4	0	a9	a8	a7	1	0	0	0	0	0	0	a6
5	0	a9	a8	a7	a6	1	0	0	0	0	0	a5
6	0	a9	a8	a7	a6	a5	1	0	0	0	0	a4
7	0	a9	a8	a7	a6	a5	a4	1	0	0	0	a3
8	0	a9	a8	a7	a6	a5	a4	a3	1	0	0	a2
9	0	a9	a8	a7	a6	a5	a4	a3	a2	1	0	a1
10	0	a9	a8	a7	a6	a5	a4	a3	a2	a1	0	a0
11	0	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0	-

Tableau II. 1: Algorithme de machine à états finis

II.3.4.1. SAR logique type 1

L'architecture SAR montre la figure (II.17) est présenté dans [43] et est couramment utilisé dans CANs SAR en raison de sa technique de conception simple. Cette logique de commande comprend un compteur en anneau et un registre de code. Le compteur en anneau est en fait un registre à décalage.

Pour chaque conversion, dans le cycle d'horloge 0, le signal EOC est élevé et tous les Tongs sorties sont remis à zéro, et pour le reste des cycles EOC est faible. Au cours du cycle d'horloge suivant, le plus important Flip Flop est réglé sur celui qui correspond au bit de poids fort du mot numérique pour le CNA. Ensuite, les contre- quarts '1' à travers les bascules du MSB à LSB.

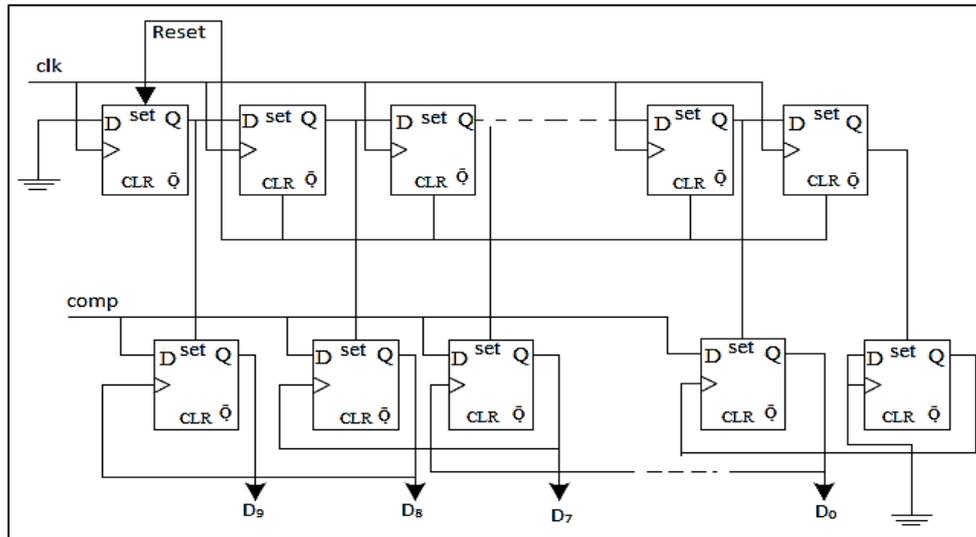


Figure II. 17: SAR schéma synoptique

Dans chaque cycle d'horloge, l'une des sorties du compteur en anneau fixe un Flip Flop dans le registre de code. La sortie de cette bascule qui est fixé par le compteur en anneau est utilisée comme signal d'horloge pour le Flip Flop précédent. Au front montant de l'horloge, cette bascule charge le résultat du comparateur.

A la fin de chaque conversion, le signal EOC se tourne vers haut. Ce type de logique SAR, convertit chaque échantillon en 12 cycles d'horloge.

Les flaps flops qui sont employées dans cette structure sont mis - reset D- FFs. Pour un faible effet de puissance, tongs base porte de transmission sont utilisés [45]. Transistors minimum de taille avec double longueur sont choisis pour améliorer la performance de puissance. Le schéma de la bascule DFF est illustré à la figure (II.18). Afin de diminuer la puissance de fuite encore plus tout en maintenant simultanément la vitesse, les transistors à haute tension de seuil sont utilisés dans le non- chemins critiques et des transistors à faible VT dans le chemin critique. Ainsi, cette double approche de seuil fournit de hautes performances Tongs [46].

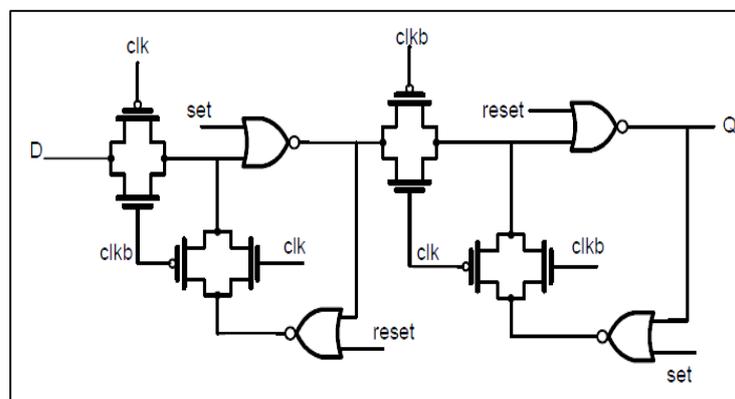


Figure II. 18: Porte de transmission sur la base Bascule [46]

II.3.4.2. SAR logique type 2

Pour un CAN SAR de N bit, la logique de commande numérique a besoin d'au moins N bascules pour effectuer la conversion. Par conséquent, un SAR non redondant emploie nombre minimum de bascules. Ces deux FFs conjecture et stocker le résultat converti. Pour son fonctionnement, à l'étape d'initialisation (étape 0), SAR attribue MSB à 1 et les autres bits à 0. Ce mot est équivalent $(\frac{V_{ref}}{2})$ à après avoir été appliqué à convertisseur N / A. À l'étape 1, la logique de commande SAR rend sa décision sur la base de la sortie du comparateur. Si elle est élevée, MSB reste 1 sinon SAR change MSB à 0. Ainsi, la valeur du MSB est définie maintenant. Simultanément SAR fixe suivant MSB à 1. L'application de ce mot au CNA, à nouveau, la tension d'entrée est comparée à la sortie du CNA et SAR définit la valeur de la prochaine MSB sur la base du résultat du comparateur. Par conséquent, la logique d'approximation successive détermine tous les bits de manière séquentielle. La figure (II.19) montre la logique SAR 10 bits. La conception est basée sur la logique proposée par Rossi [47].

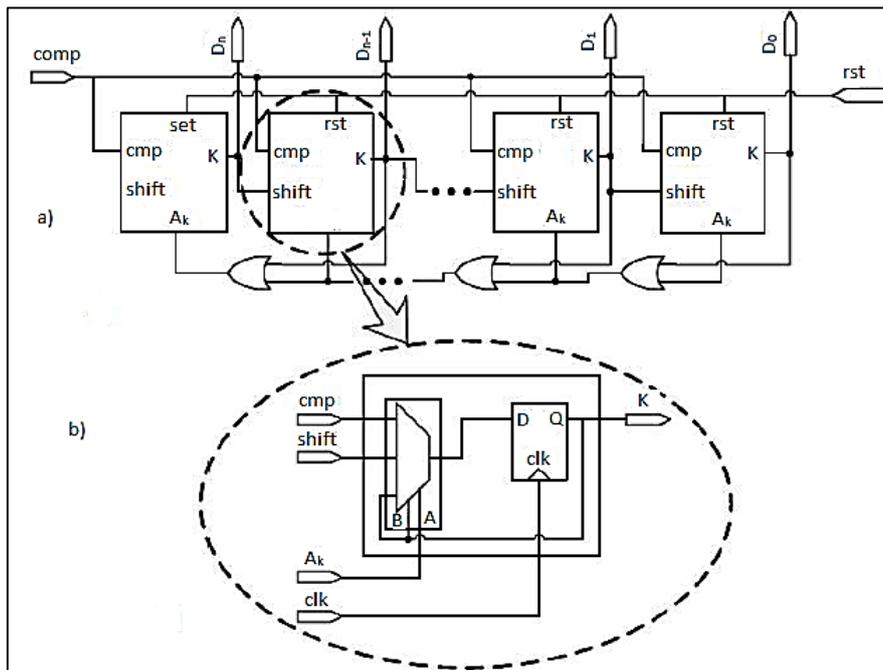


Figure II. 19: Logique d'approximation successive [47]

Comme on peut le voir dans le tableau (II.2), il existe trois possibilités pour chaque bit.

1. Déplacement à droite
2. Prendre les résultats de comparaison
3. Mode Mémorisation

Comme le montre la figure (II.19), la logique de commande d'approximations successives non redondantes contient un registre et OR chaîne décalage à N bits. Chaque Flip Flop peut prendre le résultat du comparateur, la sortie du flip flop précédent, ou si la valeur de la porte OU à chaque étape.

Pour son fonctionnement, à l'état d'initialisation du premier Flip Flop sur la gauche est réglé sur 1 et le reste de tongs sont remis à 0. Cette condition est fournie par un signal de commande externe appelé signal de départ. Dans les prochaines étapes, l'une des trois entrées possibles est prise pour chaque Flip Flop. Comme il y a trois entrées possibles, un multiplexeur est nécessaire. A l'intérieur de la bascule est représentée à la figure (II.19) (b). Bien que trois entrées 3: 1 MUX est nécessaire, un mélange 4: 1 MUX est utilisé pour la mise en œuvre de la RAS pour plus de simplicité. A et B représentent les signaux de commande du multiplexeur. L'entrée appropriée est sélectionnée selon le tableau (II.2).

A	B	
1	--	Mémorisation
0	1	Chargement de donnée
0	0	Décalage à droite

Tableau II. 2: Conversion par le Flip Flop

La conversion est terminée par l'application d'une haute tension à la chaîne ou. Par conséquent, SAR entre dans le mode de stockage. D'une manière générale, à la fin de chaque conversion, le résultat converti est mémorisé dans le SRE. Cette opération est effectuée en reliant la sortie du dernier flip flop à la ou une chaîne. Par conséquent, à la fin de la conversion est définie par le Flip Flop moins significatif sur la droite.

II.3.4.3. SAR logique type 3 (SAR avec compteur)

Un compteur est ajouté à la SAR non redondante afin de générer le signal de démarrage automatiquement. Une architecture non redondante SAR contient une séquence de trois entrées bascules, un compteur à 4 bits et un décodeur. La vue schématique est représentée sur la figure (II.20).

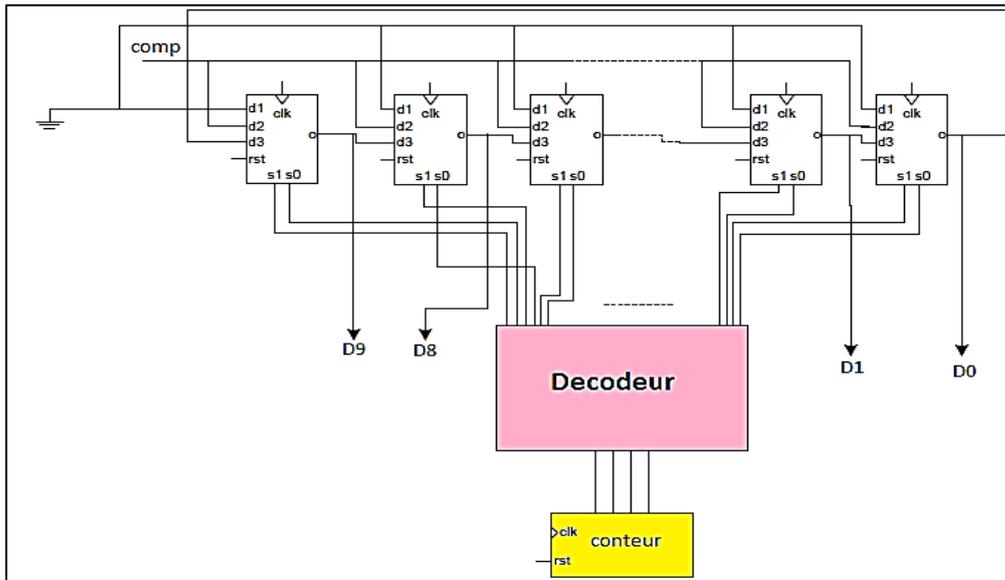


Figure II. 20: Vue schématique de la logique de commande

Il y a un 4: mux 1 à l'intérieur de chaque bloc de FF qui est représentée à la figure (II.16) (b). Cette logique numérique est similaire à la non- redondante SAR dans [47]. Les différences sont le compteur à 4 bits et un décodeur, qui sont ajoutés au schéma. Il y a quelques changements mineurs dans la machine à états finis qui met en œuvre l'opération SAR.

Chaque bit a 4 possibilités dans la nouvelle structure :

1. Stockage de l'état précédent (mémorisation)
2. Valeur de Flip Flop précédente (le décalage à droite)
3. Résultat du comparateur
4. Affectation 0 ou 1

Pour une complète conversion de 12 heures cycles sont nécessaires. A l'état d'initialisation toutes les sorties sont remis à zéro. Le début de la conversion est identifié par la fin de la conversion de signal (EOC). Comme mentionné ci-dessus, SAR a un registre à décalage de 10 bits. Chaque D - FF dispose de quatre entrées externes et donc 4: 1 mux. Le multiplexeur comporte deux bits de commande et les fonctions selon la table de vérité ci-dessous.

A	B	
0	0	Mémorisation
0	1	Affectation 1 ou 0
1	0	Valeur comparateur
1	1	Décalage à droite

Tableau II. 3: Compteur à 4 bits

Le compteur 4 bits, génère des bits de contrôle A et B, le décodeur définit la valeur du compteur. D0 à D9 sont les données de sortie numériques du convertisseur A / N.

II.3.4.4. Comparaison

Largeurs de transistors sont de taille minimum, car la fréquence de fonctionnement est assez faible pour des applications biomédicales et en réduisant la consommation d'énergie est la cible principale. Cependant, pour diminuer la fuite, la longueur est choisie pour être de 1,5 fois la longueur minimale. Il convient de mentionner que, dans tous les schémas présentés dans ce travail, les transistors sont élevés V_T qui conduit à abaisser la puissance de fuite. On compare les logiques plus ou moins dans la même situation [48].

Toutes les sorties sont chargés avec des transistors NMOS comme des interrupteurs dans le condensateur tableau CNA. Le temps de montée de l'horloge est 1ns. Cependant, elle peut être augmentée jusqu'à 2 ns pour atteindre la puissance dynamique inférieure à la préservation de la performance. Signaux asynchrones externes à la logique, y compris remise à zéro et commencer à signaux, sont synchronisés par deux D-FFs. Tous les signaux d'horloge sont tamponnés. Selon la simulation pour un fan-out de 12 tongs, deux simples onduleur dans une rangée peut être utilisé comme un pilote avec bon ratio d'aspect. La figure (II.21) illustre la consommation d'énergie des trois logiques d'approximations successives par rapport à la fréquence. A partir des résultats de simulation, la logique SAR avec un séquenceur et un registre de code est plus efficace de l'énergie.

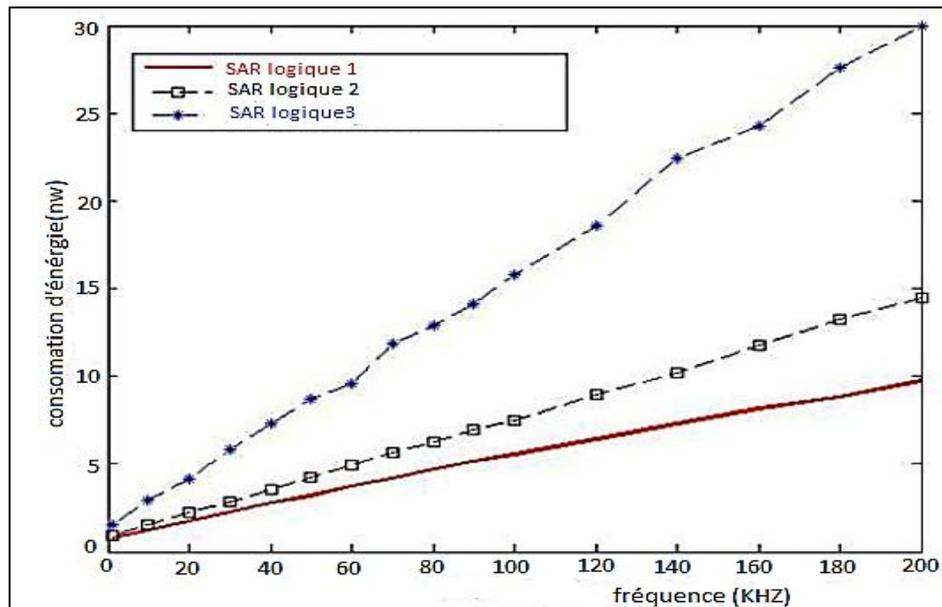


Figure II. 21: Puissance moyenne par rapport à la fréquence

II.4. Modèle comportemental du CAN SAR

Le modèle comportemental de CAN SAR, Il se compose de cinq blocs importants, un circuit E/B, un comparateur, un logique de SAR et un CNA à 8 bits avec 4 MSB et à 4 LSB.

Le signal d'entrée analogique est prélevée par le bloc E/B. Pour mettre en application l'algorithme de recherche dichotomique le registre de 8-bit est d'abord placé le MSB à « 1 » et tous autre bit au '0'. Ceci force la sortie de CNA pour produire, la moitié du signal de référence ($I_{ref}/2$), IIN est alors comparé à ICNA Si IIN est plus grand que ICNA, la sortie de comparateur prend la valeur '1' et le MSB du registre de 8-bit reste à 1. Réciproquement, si IIN est moins que ICNA, la sortie de comparateur prend la valeur '0' et le MSB du registre est 0.

La logique de commande de SAR décale alors au prochain bit, pour faire une autre comparaison, L'opération continue jusque le bit le plus bas (bit LSB), Une fois la conversion est accomplie, et le mot numérique de 8-bit est disponible dans le registre [49].

II.4.1. Modèle comportemental non-idéal du CAN SAR

Généralement les facteurs non-idéaux dégradent considérablement les performances des CANs. En effet, le développement d'un modèle comportementale qui prend en compte les majorités des facteurs non idéals est très essentiel pour l'évaluation correcte des performances du CAN SAR. De plus avec l'introduction de ces sources dans le modèle du CAN, ce dernier devient plus proche au CAN réel. Dans cette section les effets non-idéaux les plus importants dans le CAN SAR sont présentés les paramètres principaux source erreurs qui sont détaillé dans cette section sont les suivants ; l'offset de courant soit dans le circuit E/B ou dans le comparateur, le travers d'horloge, l'injection de charge, le bruit thermique, le bruit de scintillation, l'erreur d'horloge, et les erreurs de disparité des dispositifs dans le circuit E/B et dans le circuit CNA.

II.4.1.1. Non-idéalités du circuit E/B

En CAN SAR la précision de linéarité et la dynamique d'entrée seront dominées par le circuit E/B [50]. Ce dernier bloc constitue une partie critique dans les CANs [51], il échantillonne le signal d'entrée analogique et bloque la valeur pendant certaine période, le modèle idéal du ce circuit est montré dans la figure (II.22).

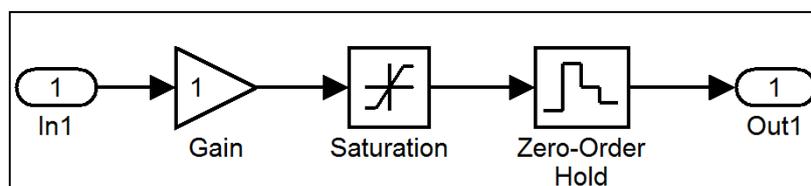


Figure II. 22: Modèle idéal du circuit E/B.

Les circuits présentent quelques limitations techniques des facteurs non idéaux ; mais aussi des effets indésirables pourraient dégrader ainsi de manière significative les performances des circuits E/B dans des réalisations pratiques. Le circuit E/B contient beaucoup d'éléments sources d'erreurs, comme le bruit des commutateurs, Le phénomène d'injection de charges et de la traversée d'horloge, erreurs sur l'instant d'échantillonnage (Jitter).

II.4.1.2. Phénomène d'injection de charges

Dans les circuits E/B, l'injection de charge et le traversée d'horloge est devenue l'une des limitations principales. Quand le transistor MOS est fermé, il porte certaine quantité de charge dans son canal ; la charge sous l'oxyde de la grille résultant du canal inversé est donnée par l'équation:

$$Q_{ch} = C_{ox} * W * L * (V_{GS} - V_{TH}) \tag{II. 5}$$

Quand le dispositif bascule à l'état off, les charges accumulées dans le canal ont réinjecté dans le circuit par l'intermédiaire du drain et la source du transistor, la charge injectée par l'intermédiaire du drain ne présente aucune erreur sur le signal de sortie. Par contre, la charge injectée de l'autre côté (source), présentant une erreur de tension ΔV sur le condensateur d'échantillonnage comme est montré dans la figue (II.23)

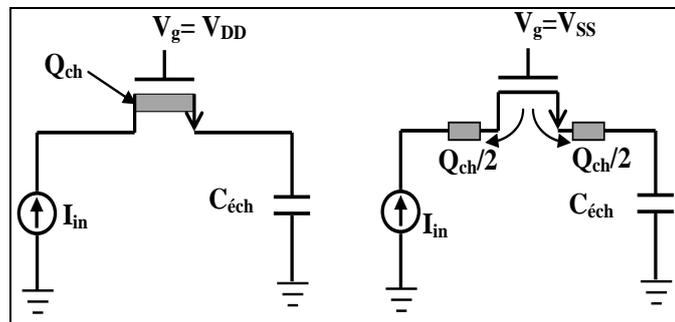


Figure II. 23: Phénomène de l'injection des charges du transistor NMOS

L'amplitude de l'injection de charge du commutateur de n-Channel, est donnée par l'équation suivante

$$\Delta V_{INJ} = \frac{Q_{ch}}{C} = \frac{C_{OX} * W * L * (V_{GS} - V_{TH})}{2 * C_{gs}} \tag{II. 6}$$

Le schéma (II.24) présente le module de simulateur d'injection de charge réalisé par un bloc dérivé. Le bloc de générateur de variable aléatoire produit des sorties sous une forme de série de signal pulsé. Après dépassement par le bloc dérivé, le bloc d'ordre-zéro est employé pour spécifier la constante de temps du remplissage et le facteur de gain est employé pour ajuster la quantité de la charge injectée.

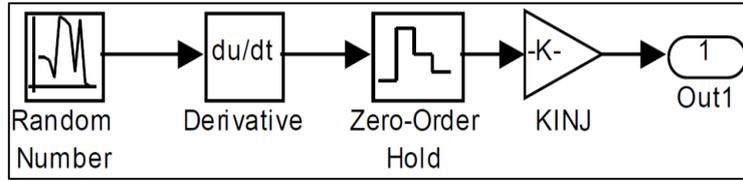


Figure II. 24: Modèle du phénomène de l'injection des charges

II.4.1.3. Phénomène de «clockfeedthrough»

Une autre source d'erreur dans les commutateurs MOS est le phénomène de traversée d'horloge, un commutateur de MOS couple le signal d'horloge VCLK au condensateur d'échantillonnage par des capacités de chevauchement (Covl) entre la grille et la source ou le drain comme il est illustré dans la figure (II.25) [52], cette erreur apparaît comme offset si Qch est constant, la capacité de chevauchement est donné par

$$C_{OVI} = C_{ox} * w_{eff} * L_d \tag{II. 7}$$

Où Cox est la capacité d'oxyde par largeur d'unité, le LD est la longueur de diffusion latérale, et Weff est la largeur efficace de canal.

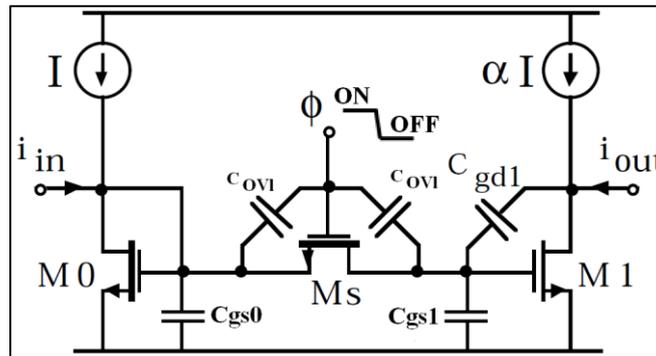


Figure II. 25: Traverse d'horloge dans circuit E/B

Avec la commutation de l'horloge, la charge accumulée dans le condensateur de chevauchement est également injecté dans le circuit, dans la transition rapide d'horloge le signal d'erreur produit sur le condensateur d'échantillonnage est donné par la formule suivante [52]

$$E_{clk} = \frac{3}{2} * \Delta\phi_{clk} * \frac{W_s}{W_1 * L_1} * \left(\frac{\eta}{2} * L_{S1} + L_D \right) \tag{II. 8}$$

Le $\Delta\phi_{clk}$ est l'amplitude du signal de commande.

Où $\Delta\phi_{clk} = \phi_{low} - \phi_{high}$, $\eta = \frac{\phi_{high} - v_{gs0}}{\Delta\phi_{clk}}$ et L_D est la longueur de diffusion latérale.

L'erreur Eclk est indépendante du niveau du signal d'entrée. Elle a comme conséquence un offset constant qu'il s'ajoute au signal échantillonné.

II.4.1.4. Erreurs sur l’instant d’échantillonnage: « Jitter »

L’erreur sur l’instant d’échantillonnage ou le jitter est un autre phénomène qui a attiré l’attention dans le domaine de conception des CANs. Une incertitude se présente dans l’instant d’échantillonnage sur l’entrée analogique qui ne peut pas se produire exactement au temps désiré. Cette incertitude Δt de l’instant d’échantillonnage est généralement appelé l’erreur sur l’instant d’échantillonnage. Ce facteur non-idéal produit une conversion erreur Δy proportionnel à la pente du signal ; Le résultat des erreurs peut être exprimé par l’équation [53]

$$y(t + \Delta t) - y(t) = \Delta t * \frac{d}{dt} y(t) \tag{II. 9}$$

Avec un signal d’entrée sinusoïdal comme est montré dans la figure (II.26), où A est l’amplitude de signal d’entrée, f_{in} est la fréquence de signal d’entrée et Δt est l’erreur d’horloge, le Δy_{max} est l’erreur d’amplitude (maximum), le modèle de l’erreur sur l’instant d’échantillonnage peut être exprimé comme.

$$\Delta y(t) \Big|_{max} = \Delta t * A * \left. \frac{d \cos(2\pi f_{in} t)}{dt} \right|_{t=0} = A * \Delta t * 2\pi f_{in} \tag{II. 10}$$

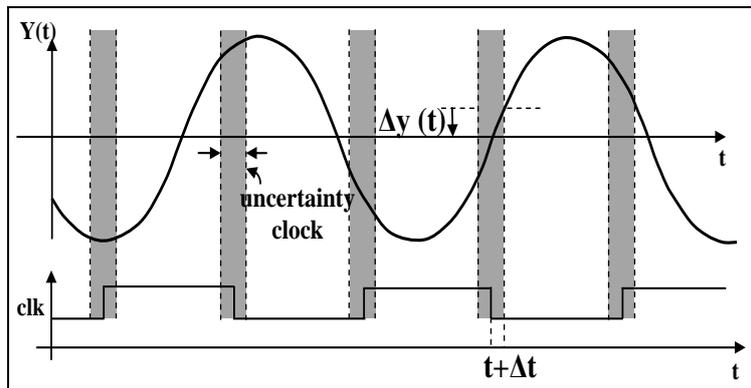


Figure II. 26: L’erreur sur l’instant d’échantillonnage

La figure (II.27) montre le modèle comportemental de l’erreur [54]

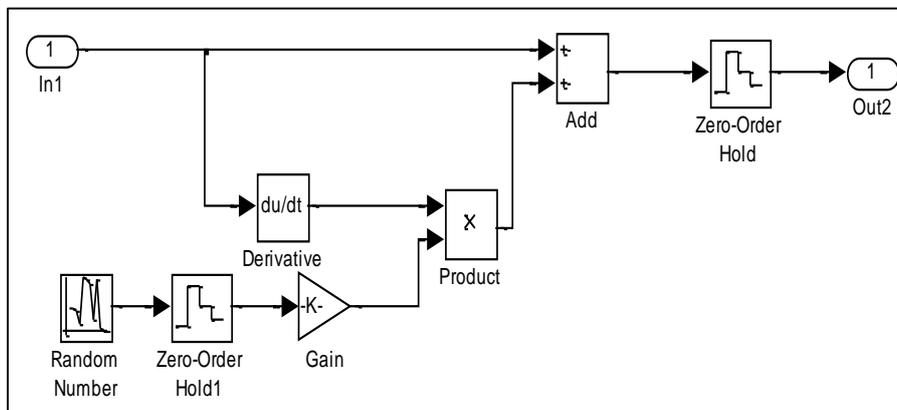


Figure II. 27: Modèle du Erreurs sur l’instant d’échantillonnage.

II.4.1.5. Bruit de scintillation « flicker noise » ou bruit en 1/f

Le bruit de scintillation ou le phénomène du bruit 1/f est observé dans presque tous les dispositifs avec les composants résistifs, ainsi ce genre de bruit est très dominant a basses fréquences, et il est négligeable dans les hautes fréquences. Dans les transistors MOS, il a été démontré que le bruit 1/f est plus élevé dû à son mécanisme de conduction de surface, D'autres auteurs attribuent ce bruit aux fluctuations de mobilité, ce composant de bruit augmente typiquement avec la graduation de technologie [49], Le PSD du courant de bruit de scintillation peut être exprimé par [55]

$$S_{fi}(f) = \frac{K_f * I_{DQ}}{C_{ox} * W * L} * \frac{1}{f} \quad (\text{II. 11})$$

Où K_f est le coefficient de bruit de scintillation, C_{ox} est la capacité d'oxyde, W et L sont la largeur et la longueur respectivement du transistor MOS. La figure (II.28) illustre le modèle employé pour simuler l'effet du bruit de scintillation

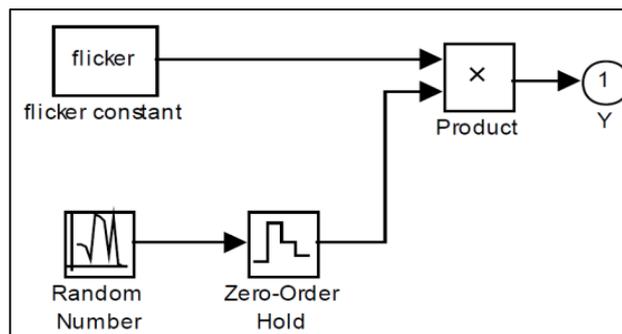


Figure II. 28: Modèle du bruit de scintillation

II.4.1.6. Bruit thermique

Le bruit thermique est présent dans tous les éléments de circuit contenant une résistance [56]. Le régime d'opération de transistor MOS dans la région de saturation est identique à une résistance passive entre son drain et la source. Le bruit thermique est provoqué par le mouvement thermique aléatoire des porteurs des charges dans le canal [57], la densité spectrale de courant de bruit thermique est donnée par

$$I_d^2 = 4KT \frac{2}{3} g_m \quad (\text{II. 12})$$

Où k est la constante de Boltzman, T représente la température absolue, et le g_m est la transconductance du transistor MOS, ce modèle de bruit est valide seulement pour les dispositifs

avec un canal long. De nouvelles équations décrivant le bruit thermique de modèles des transistors MOS ont été décrites dans la littérature [58-54]

Dans les dispositifs de petites dimensions géométriques le bruit thermique a été modelé comme

$$I_d^2 = 4KT \frac{\mu_{\text{eff}}}{L_{\text{eff}}^2} Q_{\text{inv}} \Delta f \quad (\text{II. 13})$$

Où μ_{eff} est la mobilité des porteuses efficace dans le canal, Q_{inv} est la charge de canal d'inversion par unité de superficie, Les résultats expérimentaux affirment que le bruit thermique dans le canal est directement proportionnel au courant de drain [59], pour maintenir la valeur du bruit thermique basse ceci correspondre à de plus petits courants de drain.

Le bruit thermique est habituellement modelé comme source de bruit blanc additive avec la distribution gaussienne, la figure (II.29) présente le modèle thermique de bruit, il peut être modelé comme générateur de variable aléatoire avec le bloc d'ordre-zéro, le bloc de gain est employé pour ajuster la valeur de tout le bruit thermique.

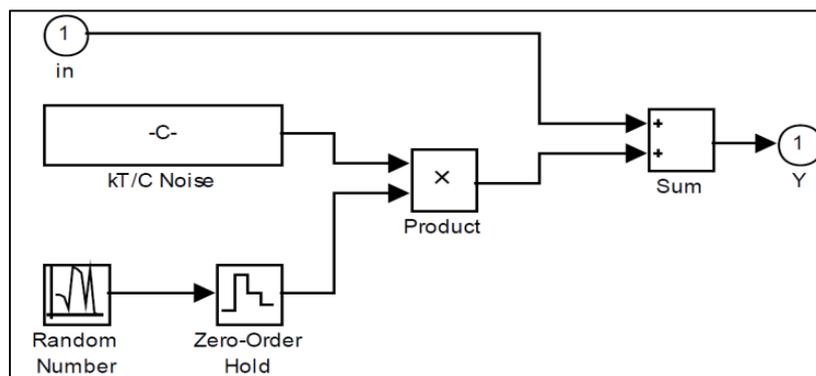


Figure II. 29: Modèle thermique de bruit

CHAPITRE III

SIMULATIONS ET RESULTATS

III.1. Introduction

Due à l'augmentation énorme de l'architecture et de la complexité des circuits analogique et mixte, l'utilisation du modèle comportemental est devenue nécessaire pour concevoir et simuler les performances de ces circuits. La simplicité de ce type de circuits exige d'utiliser des simulateurs de contrôle rapides et plus simple. Le modèle comportemental basé sur MATLAB et l'environnement Simulink devient une méthode pour concevoir et simuler le convertisseur.

La modélisation et la simulation ont augmentés l'efficacité et la capacité de concepteur pour développer les circuits électroniques et utiles. Particulièrement au niveau du circuit intégré. Chaque type de circuit examiné a ses propres conditions particulières, en termes des performances.

La conception des CANs avec des performances élevées (pour des applications qui requièrent une vitesse) présente des défis difficiles .La sélection de l'architecture est importante sachant que chaque architecture du CAN a des avantages spécifiques en ce qui concerne la fréquence d'échantillonnage, et l'espace occupé sur la puce Le convertisseur de type SAR a suscité plus d'attention due à son efficacité de puissance et basse tension, le SAR CAN en mode de tension utilise seulement un comparateur et un réseau des interrupteur dans la partie du CNA.

Ce dernier chapitre nous avons présent une nouvelle modèle non-idéal 8 bit CAN SAR en employant logiciel de simulation MATLAB/SIMULINK.

III.2. Convertisseur analogique numérique SAR

Le schéma synoptique de l'architecture du convertisseur SAR est montré dans figure (3.1)cette architecture se compose d'échantillonneur bloqueur, un comparateur, un registre à approximation successive (SAR), convertisseur numérique analogique (CNA).

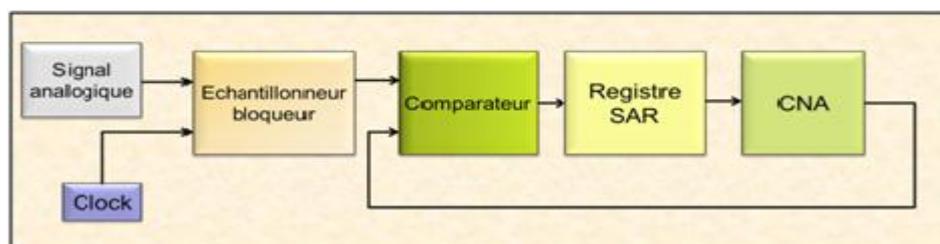


Figure III. 1: Schéma Synoptique D'un Convertisseur SAR

III.2.1 Modélisation comportemental d'échantillonneur bloqueur

Le circuit E/B est un bloc important dans les systèmes de convertisseur de données. Récemment, beaucoup d'attention est donné à ce type de circuits en raison de leur utilité (basse tension d'alimentation, vitesse de fonctionnement) en comparaison avec les circuits en mode de tension. Le circuit miroir de courant est le composant de base dans les circuits E/B.

L'opération est commandée par le commutateur MS1, quand il est fermé, le nœud de la grille est relié au signal d'entrée et le courant I_d de drain-source sera une fonction de la tension de grille-source. Quand le commutateur S1 est ouvert, la grille devient isolée, par conséquent la charge stockée dans la capacité d'oxyde de grille du transistor M1 assure le courant de sortie pour une instant de temps T_0 .

La façon la plus simple de réaliser un échantillonneur-bloqueur de donné un entrée analogique ($V_{in}=1$), est ajoutée une un gain ($Gain=1$) qui représente l'étage d'amplification.

Associer un interrupteur (Zéro and hold) qui assurée Les commandes d'ouverture et de fermeture par une horloge générant un signal périodique rectangulaire. La dernière valeur acquise est mémorisée est saturé à de pleins niveaux de logique. Jusqu'à la prochaine phase d'échantillonnage Cette opération périodique est illustrée avec une entrée sinusoïdale.

En CAN SAR la précision d'entré seront dominées par le circuit E/B Ce dernier bloc constitue une partie critique dans les CANs, il échantillonne le signal d'entrée analogique et bloque la valeur pendant certaine période, le modèle idéal du ce circuit est montré dans la figure (3.3).

III.2.1.1 Schéma synoptique de E/B

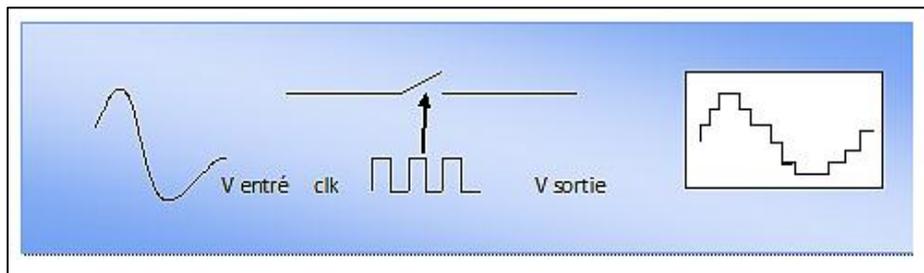


Figure III. 2: Schéma synoptique d'E/B

III.2.1.2 Modèle du circuit E/B

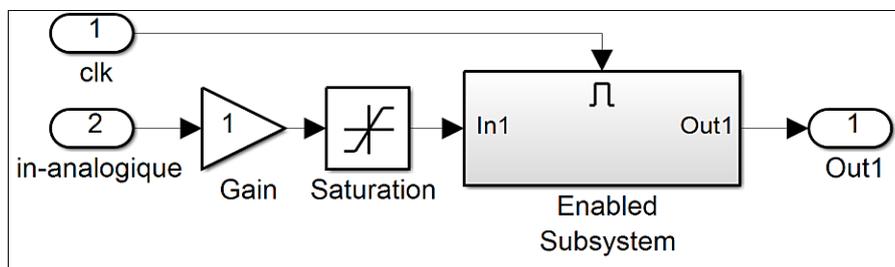


Figure III. 3: Le modèle idéal du circuit E/B

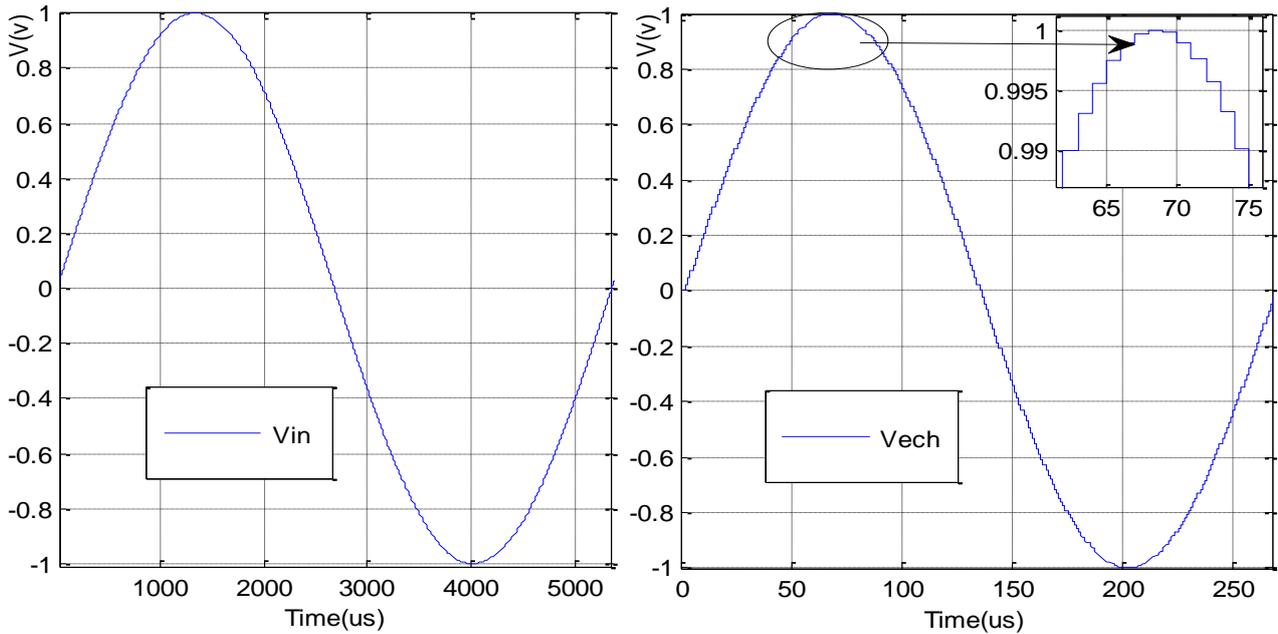


Figure III. 4: Résultat de simulation d'un modèle idéal de circuit E/B de signal sinusoïdal

III.2.2 Modélisation comportemental du comparateur

Le comparateur est un bloc essentiel dans les convertisseurs de données car c'est le lien entre le domaine analogique et numérique. Le comparateur de courant est un composant fondamental de CAN SAR. La conception du comparateur est de trouver un compromis entre la sensibilité, et la vitesse.

La figure (III.6) présent le modèle de comparateur, l'entrée de comparateur est la soustraction entre la sortie du CNA et une valeur d'entré ($V_{in}=1$), est ajoutée une valeur constante pour modeler l'offset du comparateur réel (dans le cas idéal la valeur de l'offset est zéro).

Le résultat est alors multiplié par un gain ($Gain=1$) qui représente l'étage d'amplification.

Le résultat est saturé à de pleins niveaux de logique et alors comparé à zéro pour définir qui des deux entrées est le plus haut.

III.2.2.1 Schéma synoptique de comparateur

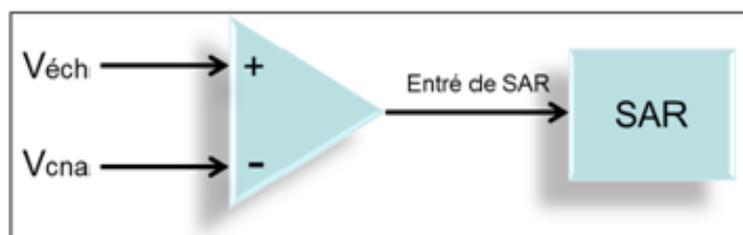


Figure III. 5: Schéma synoptique de comparateur

On peut réécrire les conditions précédemment énoncées comme ceci :

- $(V_{in} > V_{cna})$ alors: $(S = 1)$
- $(V_{in} < V_{cna})$ alors: $(S = 0)$
- $(V_{in} = V_{cna})$ alors: $(S = \text{indéfini})$

III.2.2.2 Modèle idéal du comparateur

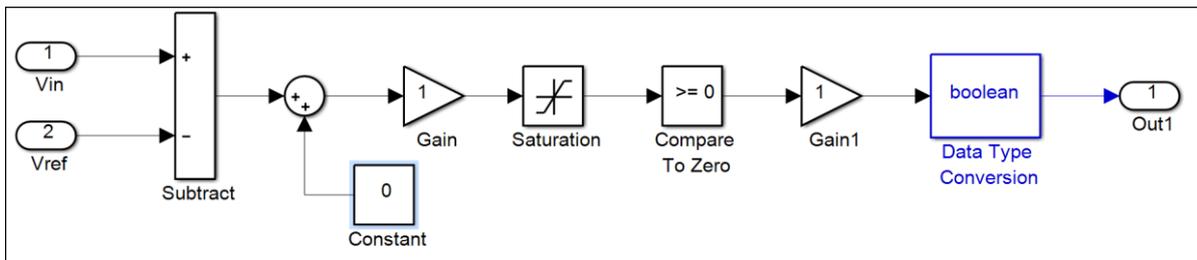


Figure III. 6: Le modèle idéal du comparateur

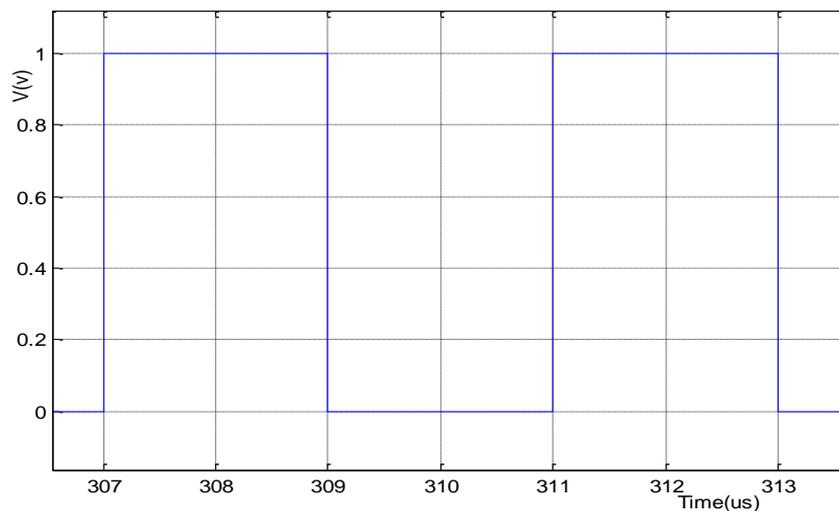


Figure III. 7: Signal de sortie d'un comparateur

III.2.3 Registre à approximation successive

Le registre à approximation successive est le noyau du convertisseur. Il produit le signal de commandes employé par le CNA. Le bloc de registre (suivant les indications de figure(III.11)) a été mis en application par l'utilisation des deux registres à décalage afin d'exécuter la routine d'approximation successive. Chaque registre à décalage se compose de chaîne de neuf bascules de D. Le registre à décalage dessus est employé comme compteur séquentiel et il est synchrone avec l'horloge interne. Le registre inférieur stocke la valeur de conversion. Chaque valeur échantillonnée (l'échantillonnage est effectué par E/B) du signal analogue l'entrée est comparée par le comparateur à la sortie du CNA. Le résultat de la comparaison est employé alors par le registre pour élaborer la prochaine étape.

III.2.3.1 Model de bascule D flip flop

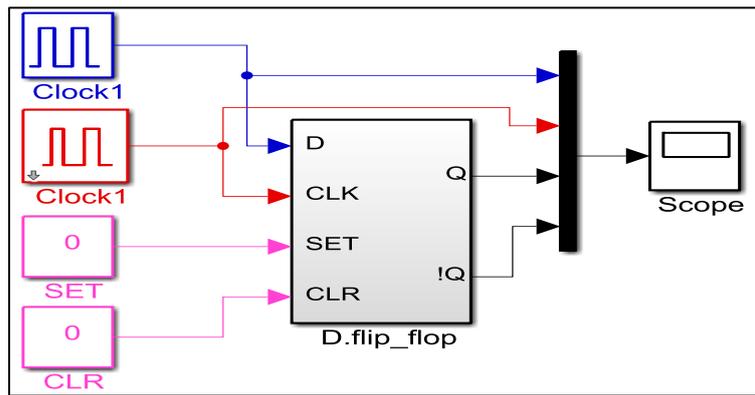


Figure III. 8: Model de bascule D

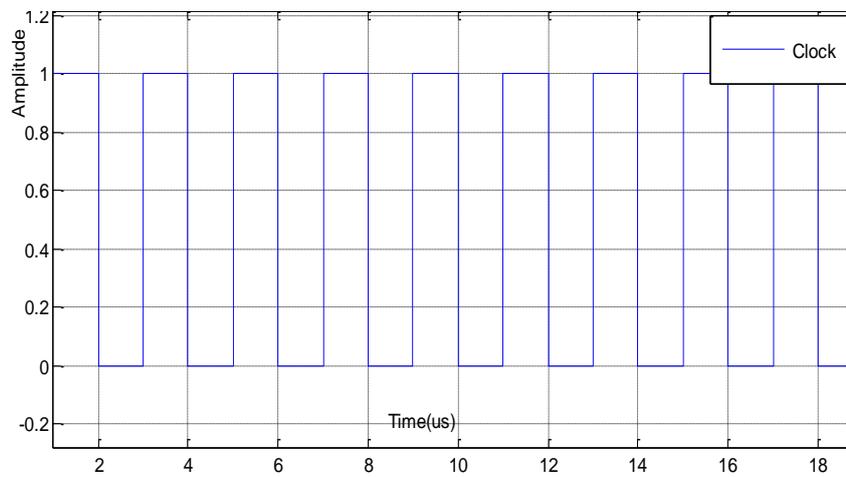


Figure III. 9: Résultat de simulation d'un clock de bascule D

Dans la catégorie des signaux analogiques et même numériques (dans le cas d'horloge de signal pour le cadencement des microcontrôleurs par exemple) on a les signaux dits périodiques. La période d'un signal est en fait un motif de ce signal qui se répète et qui donne ainsi la forme du signal. Prenons l'exemple d'un signal binaire qui prend un niveau logique 1 puis un 0, puis un 1, Puis un 0.

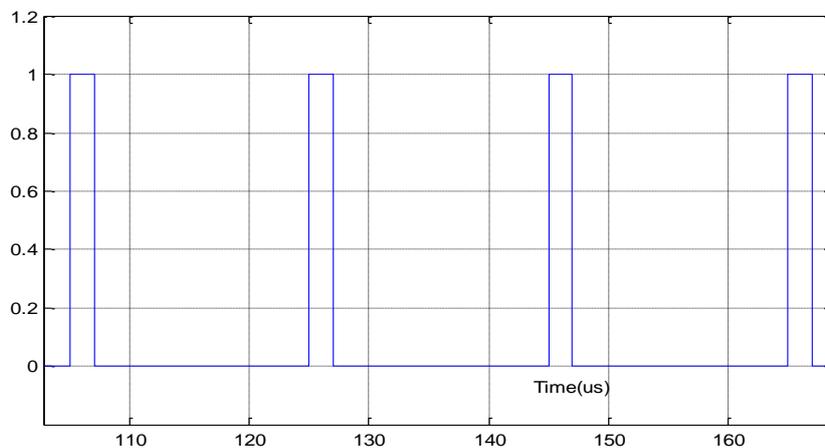


Figure III. 10: Simulation d'une bascule D

III.2.3.2 Model de registre approximation successive

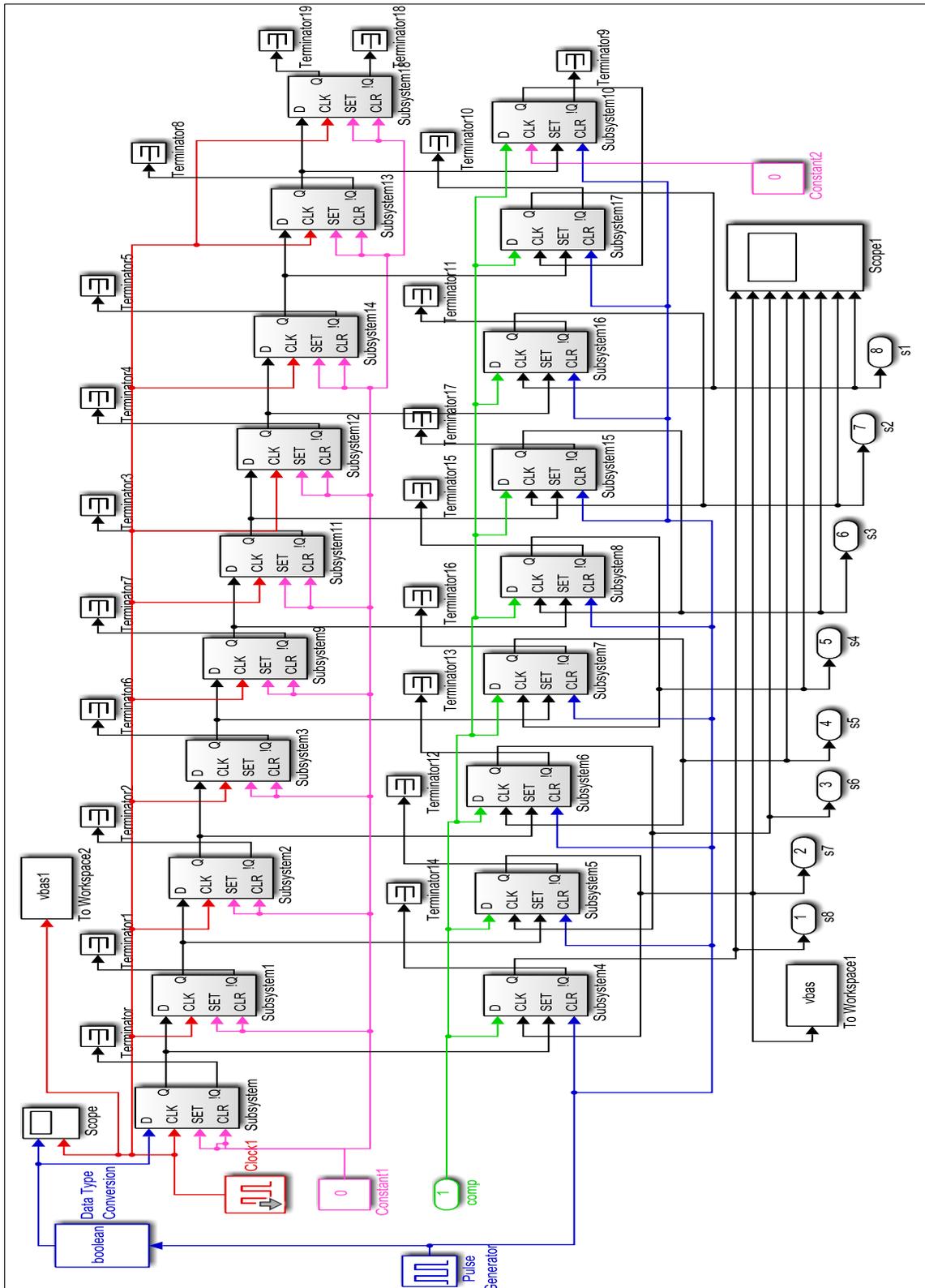


Figure III. 11: Modèle de registre SAR

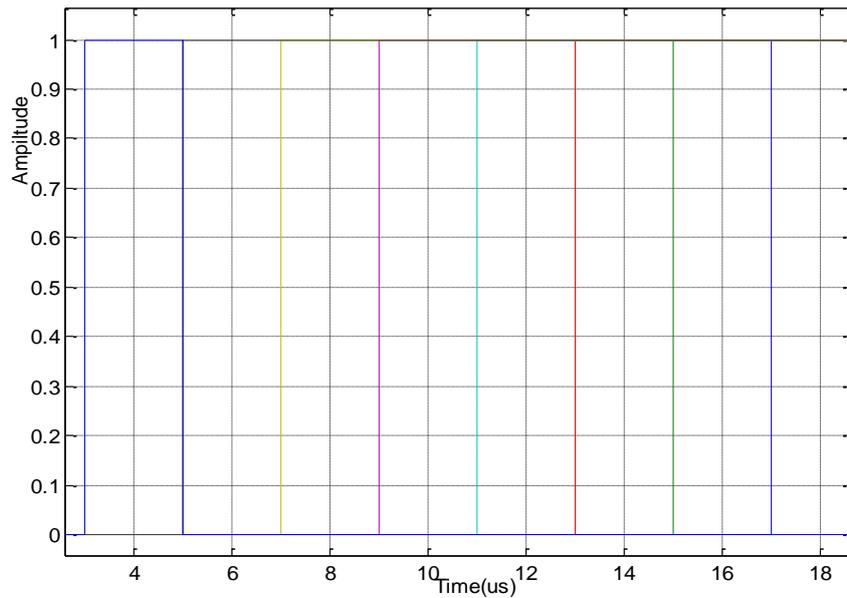


Figure III. 12: Résultat de simulation de sortie d'un registre SAR

III.2.4 Modèle comportemental de CNA

Les CNA sont convenables pour les applications à grande vitesse et de haute résolution. Le CNA est présente avec Les données binaires d'entrée à 8 bits sont segmentées aux 4 bits les plus significatifs (MSB) et 4 bits moins significatifs (LSB). Pour les 4 bits MSB identiques a prendre la valeur $I_{ref}/16$, telles que le premier bit MSB commande 23 source de courant, le deuxièmes bit commande 22 source de courant, le troisième bit commande 21 sources de courant, et le quatrième bit quant a lui commande 20 source de courant. Les 4 bits LSB sont directement appliqués aux 4 sources de courant pour prendre les valeurs $.I_{ref}/32$, $I_{ref}/64$, $I_{ref}/128$, et $I_{ref}/256$.

Dans le modèle de CNA, chaque source de courant est multipliée par un facteur de gain d'une telle manière qu'elle est devenu égal à la valeur du courant de la source, le modèle de CNA pour 4 bits de LSB sont montre sur la figure(III.15).

III.2.4.1 Schéma synoptique de CNA

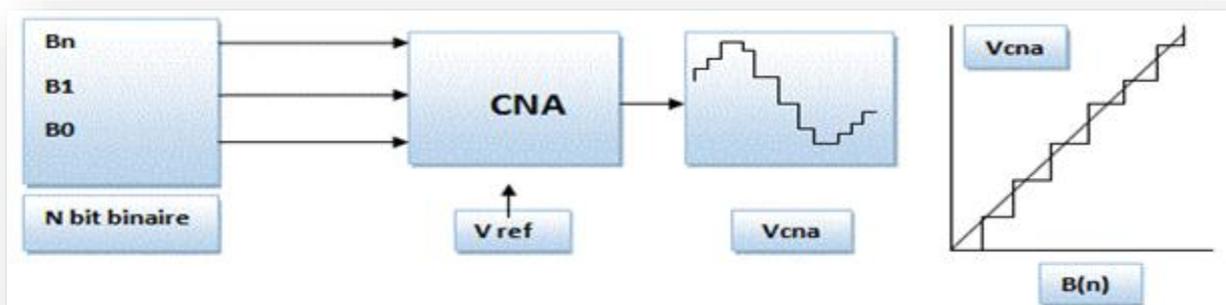


Figure III. 13: Schéma synoptique de CNA

III.2.4.2 Modèle du SUB-CNA

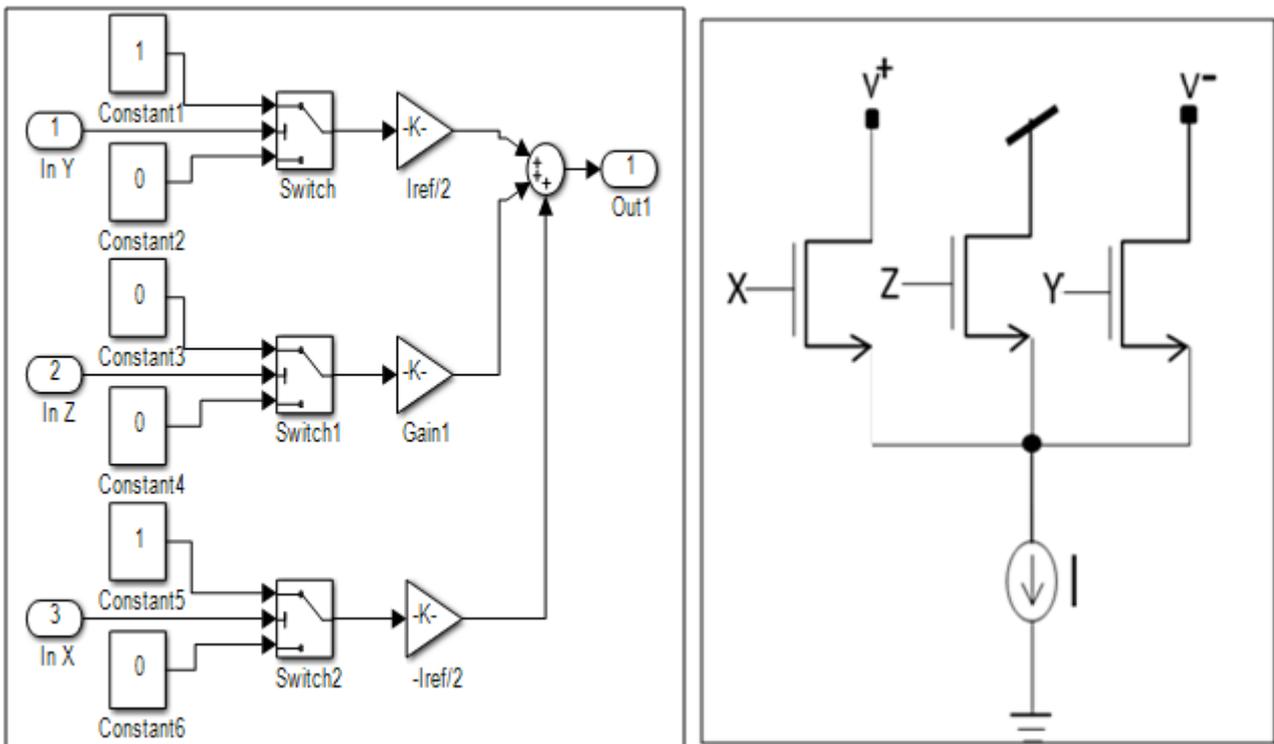


Figure III. 14: Le modèle du Sub-CNA et sa configuration en transistor CMOS

III.2.4.3 Modèle de CNA

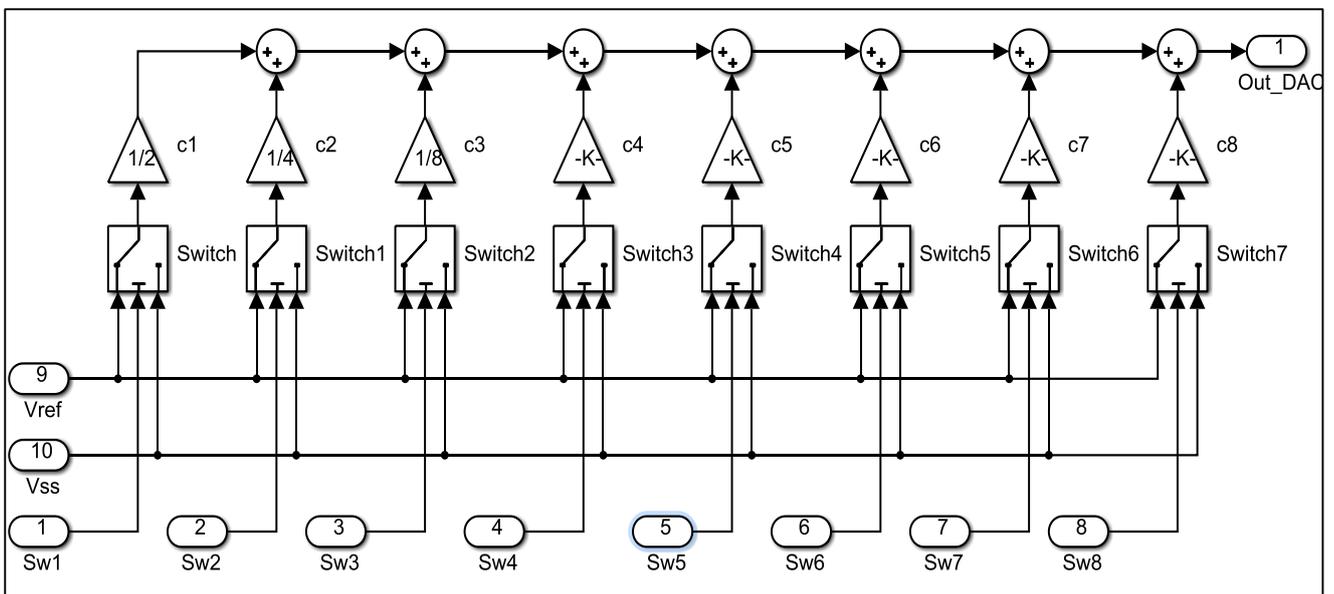


Figure III. 15: Le modèle de CNA

III.2.4.3.1 Résultats de la simulation

Pour vérifier et confirmer les performances du modèle proposé avec les facteurs non idéaux, nous avons effectué plusieurs simulation avec l'utilisation du modèle comportemental du CAN dans le cas non idéal Les simulations effectuée afin de vérifie les performances du modèle comportementale.

Les résultats de simulation du signal de sortie du CNA et du signal analogue reconstruit du CAN sont montrés sur les figures(III.16) (III.17).

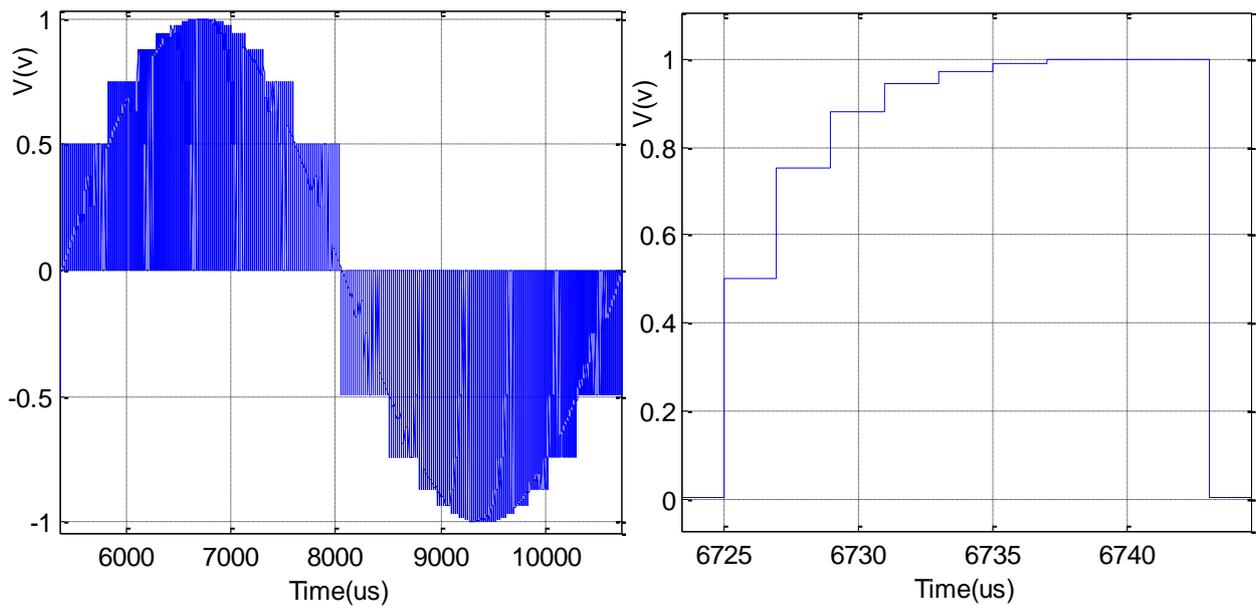


Figure III. 16: Résultat de simulation d'un modèle CNA

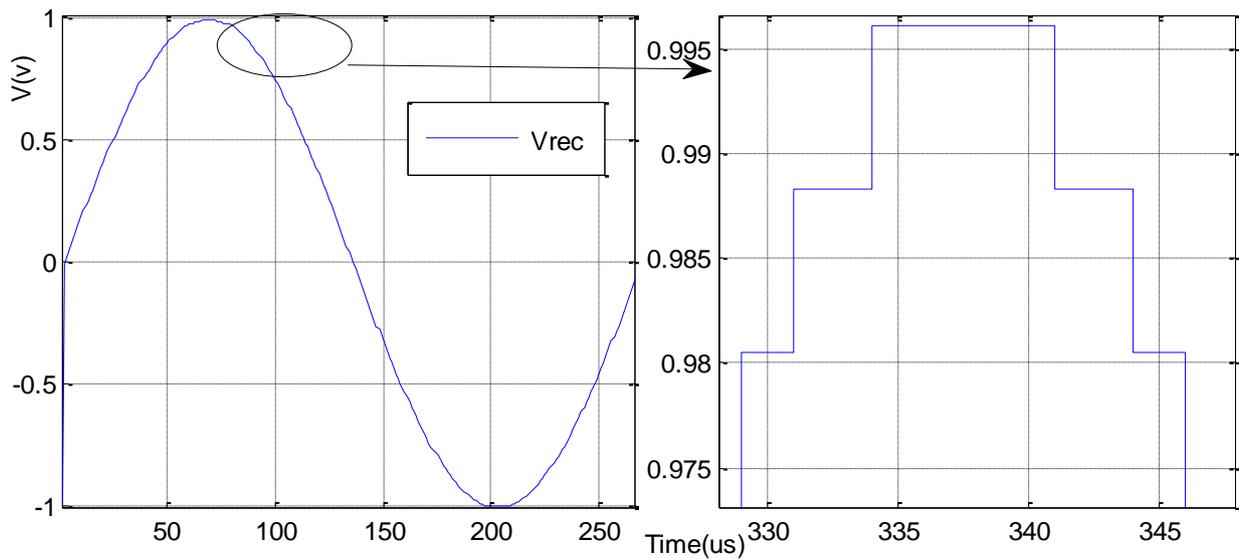


Figure III. 17: Simulation d'un signal sinusoïdal reconstruit

III.3. Modèle comportemental du CAN SAR

La fonctionnalité de base d'un CAN SAR est très simple comme montre la figure (III.18), Le signal d'entrée analogique est prélevé par le bloc E/B. Pour mettre en application l'algorithme de recherche dichotomique le registre de 8-bit est d'abord placé le MSB à « 1 » et tous autre bit au '0'. Ceci force la sortie de CNA pour produire, la moitié du signal de référence ($V_{ref}/2$), V_{IN} est alors comparé à V_{CNA} . Si V_{IN} est plus grand que V_{CNA} , la sortie de comparateur prend la valeur '1' et le MSB du registre de 8-bit reste à 1. Réciproquement, si V_{IN} est moins que V_{CNA} , la sortie de comparateur prend la valeur '0' et le MSB du registre est 0. La logique de commande de SAR décale alors au prochaine bit, pour faire une autre comparaison, L'opération continue jusque le bit le plus bas (bit LSB), Une fois la conversion est accomplie, et le mot numérique de 8-bit est disponible dans le registre.

Généralement les facteurs non-idéaux dégradent considérablement les performances des CANs. En effet, le développement d'un modèle comportementale qui prend en compte la majorité des facteurs non idéals est très essentiel pour l'évaluation correcte des performances du CAN SAR. De plus avec l'introduction de ces sources dans le modèle du CAN, Dans cette section les effets non-idéaux les plus importants dans le CAN SAR sont présentés, les paramètres qui sont détaillé; l'offset de courant soit dans le circuit E/B ou dans le comparateur.

Les circuits présentent quelques limitations techniques des facteurs non idéaux; mais aussi des effets indésirables pourraient dégrader ainsi de manière significative les performances des circuits E/B dans des réalisations pratiques Le circuit E/B contient beaucoup des sources des erreurs, comme le bruit des commutateurs Le phénomène d'injection de charges et de la traversée d'horloge, erreurs sur l'instant d'échantillonnage (Jitter). Ces points seront examinés séparément dans les sections suivantes.

III.3.1 Modèle de CAN SAR

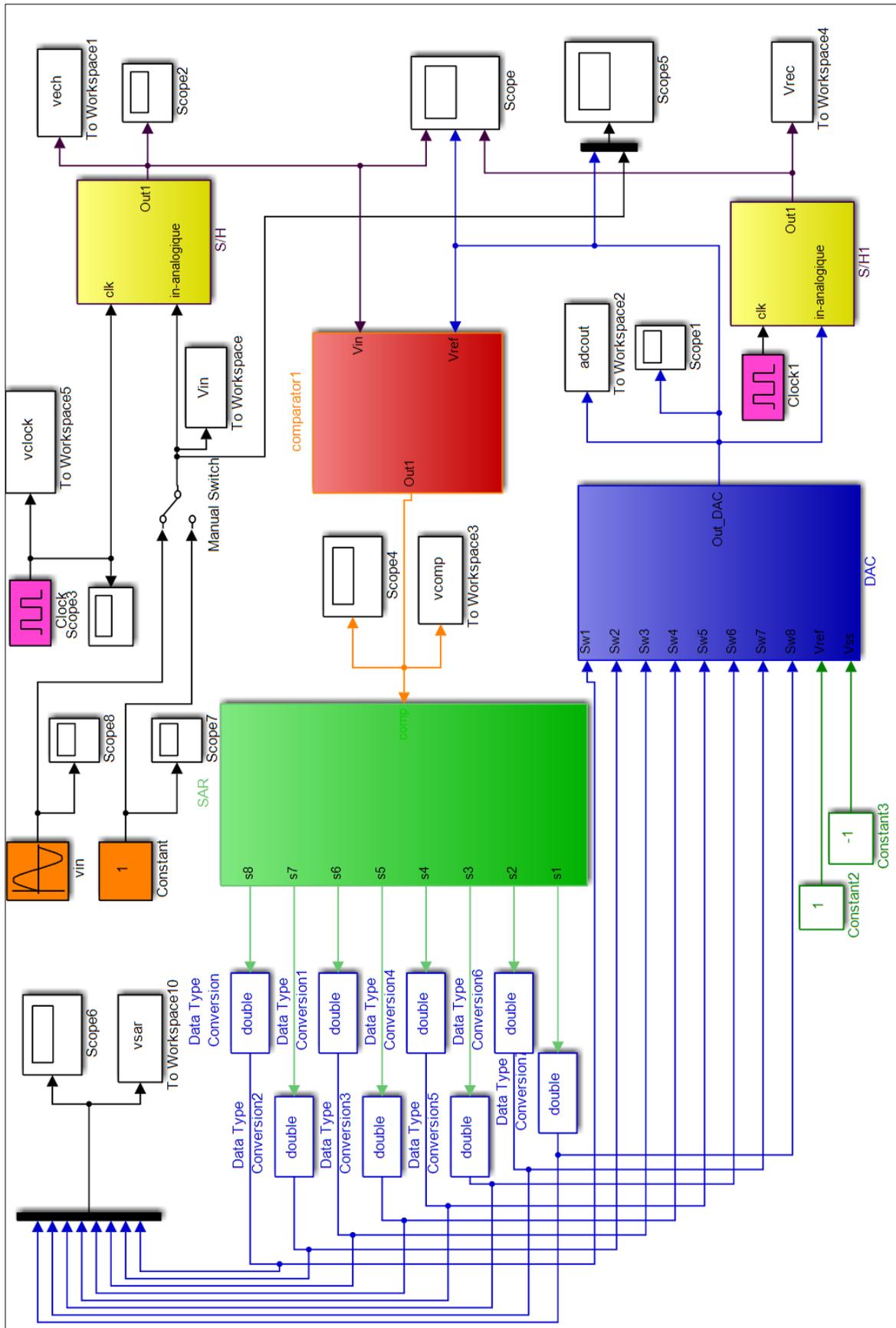


Figure III. 18: Modèle comportemental du CAN SAR

III.3.1.1 Non-idéalités du CAN SAR

Dans la réalisation pratique. Le circuit E/B contient beaucoup d'éléments sources d'erreurs, comme l'injection de charge, L'erreur sur l'instant d'échantillonnage ou le jitter, Le bruit de scintillation « flicker noise » ou bruit en $1/f$, le bruit thermique.

Nous avons créé une source de bruit (Random Number) :

Pour générer des nombres aléatoires uniformément distribués, utilisez le bloc uniforme Radom Number comme montre la figure (III.19). Vous pouvez générer une séquence répétée en utilisant un bloc de nombres aléatoires avec la même semence et les paramètres non nul. Les réinitialisations de semences à la valeur spécifiée à chaque fois une simulation commence. Par défaut, le bloc produit une séquence qui a une moyenne de 0 et une variance de 1. Pour générer un vecteur de nombres aléatoires avec la même moyenne et la variance, spécifier le paramètre de semences comme vecteur.

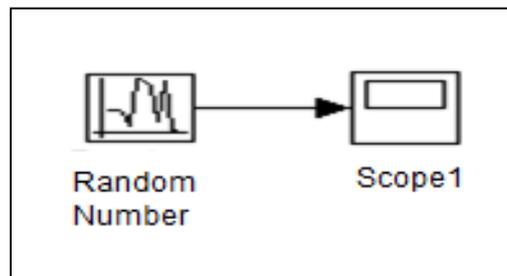


Figure III. 19: Modèle de Randon Number

Les paramètres numériques de ce bloc doivent avoir les mêmes dimensions après l'expansion scalaire, le bloc délivre un signal de la même dimensionnalité que les paramètres.

La principale différence entre ce bloc et le bloc de nombres aléatoires est que le bloc de bruit à bande limitée produit une sortie à une fréquence d'échantillonnage spécifique. Ce taux est lié au temps de corrélation du bruit.

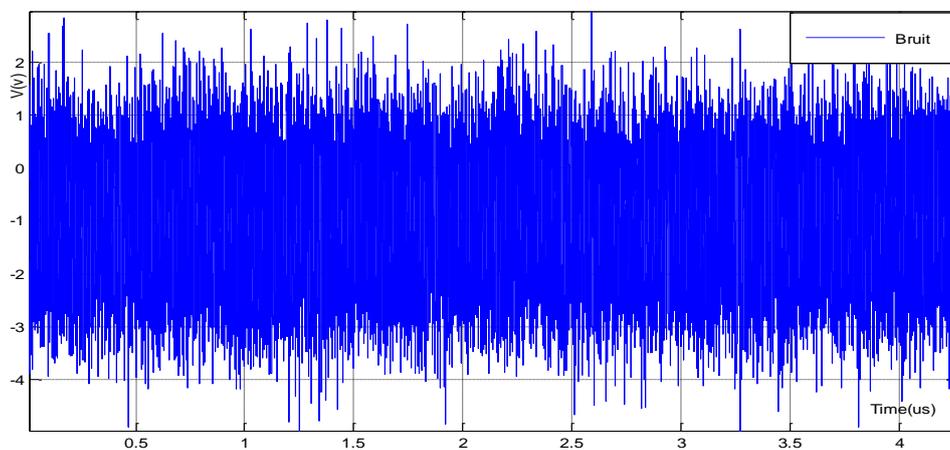


Figure III. 20: Signal de source de bruit

III.3.2 Le phénomène d'injection des charges

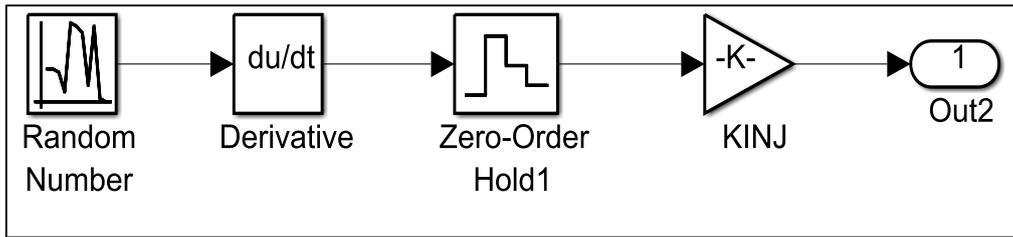


Figure III. 21: Le modèle du phénomène de l'injection des charges

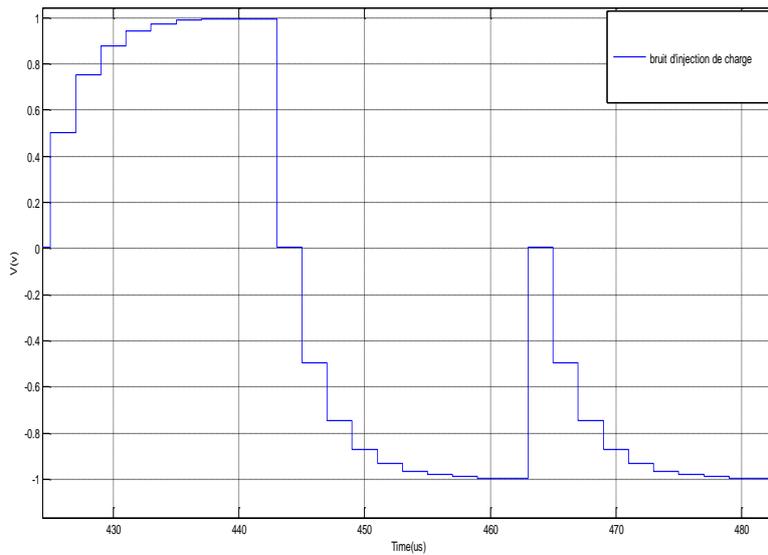


Figure III. 22: Simulation d'un phénomène de l'injection des charges

III.3.3 Le phénomène de «clock feedthrough»

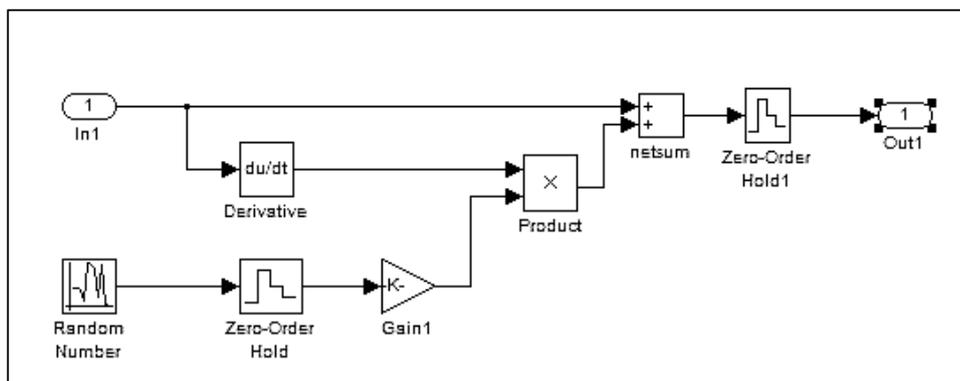


Figure III. 23: Le modèle d'erreur sur l'instant d'échantillonnage

L'erreur Eclk est indépendante du niveau du signal d'entrée. Elle a comme conséquence un offset constant qu'il s'ajoute au signal échantillonné.

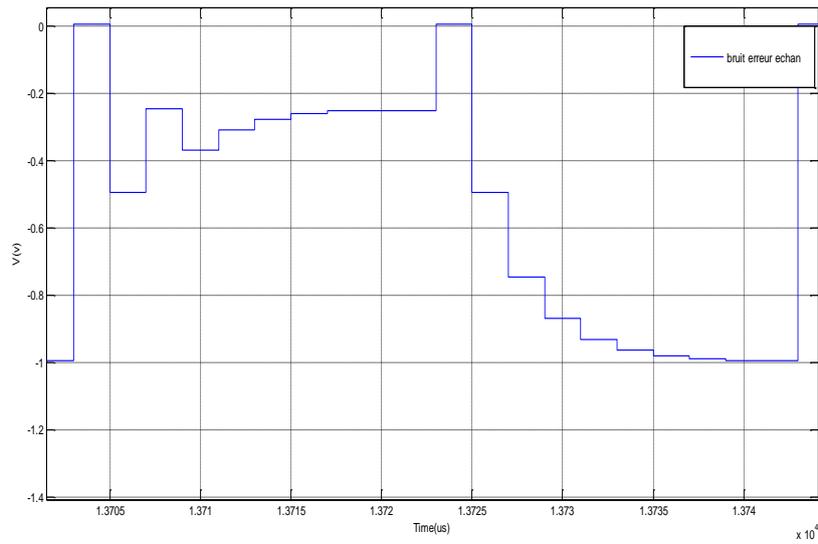


Figure III. 24: Simulation d’erreur sur l’instant d’échantillonnage

III.3.4 Le bruit de scintillation « flicker noise » ou bruit en $1/f$

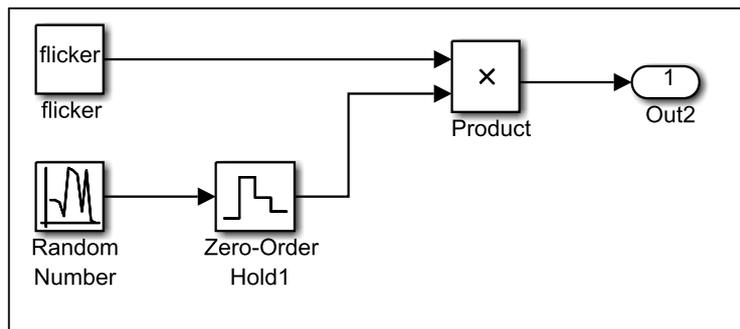


Figure III. 25: Le modèle du bruit de scintillation

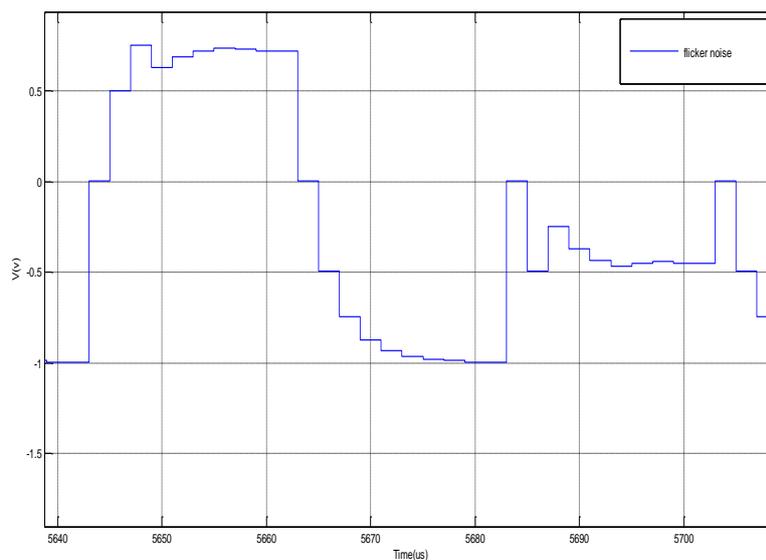


Figure III. 26: Simulation du bruit de scintillation

III.3.5 Le bruit thermique

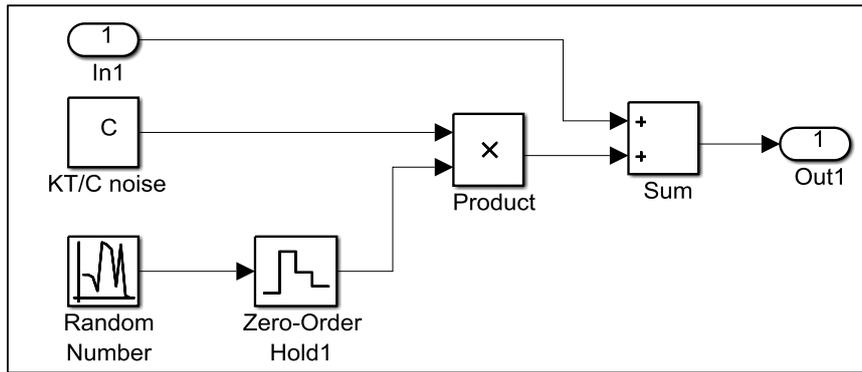


Figure III. 27: Modèle thermique de bruit

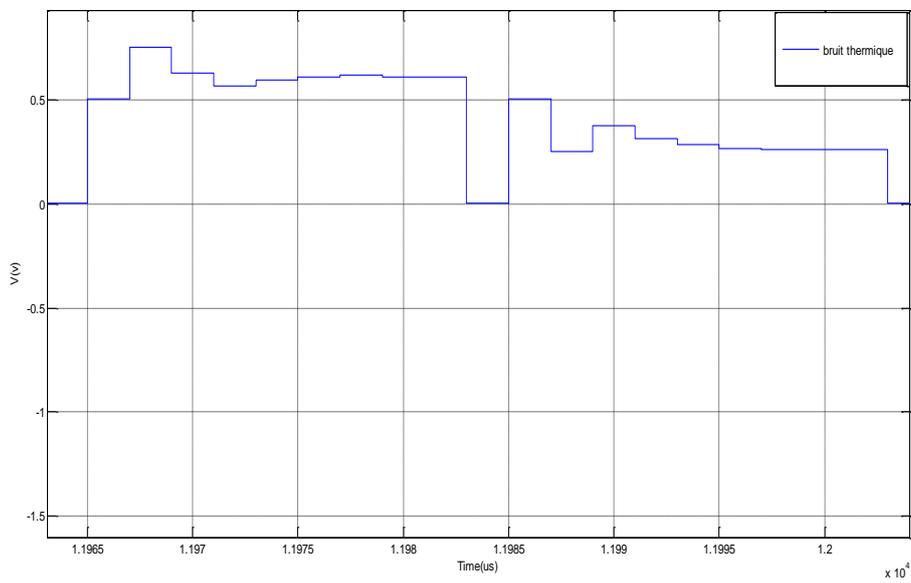


Figure III. 28: Simulation de bruit thermique.

III.4. Conclusion

La modélisation comportementale d'un convertisseur A/N SAR à été modélisée avec succès; La conversion est effectuée sans l'absent des codes, le convertisseur 08-bit de type SAR il a été modelé en prendre en compte le courant d'offset (le temps de retard), le circuit E/B. et des non-idéalités des commutateurs dans le CNA ont été introduite.

CAN SAR est fait avec l'utilisation du Matlab et du Simulink, les avantages principaux des circuits MC dans le mode du CAN a été présenté. Le modèle est employé pour analyser des divers non idéalités et pour démontrer comment ces facteurs des erreurs affectent les performances du convertisseur. Les analyses des simulations dynamiques confirment la bonne performance du modèle.

Le modèle comportemental et les résultats des simulations aideront le concepteur pour développer un convertisseur SAR à 8 bits en technologie CMOS avec une faible puissance et un rendement d'espace élevé sur la puce de silicium en employant les blocs Sub-CNA.

CONCLUSION GENERALE

Conclusion générale

Ce travail décrit un CAN à grande vitesse et basse tension qui a été mise en application en employant une structure de basse tension.

Ce CAN SAR a été utilisé afin d'améliorer les performances de ce type des Convertisseurs. Les conceptions fondamentales du CAN ont été étudiées. Une recherche bibliographique large et profonde a été effectuée afin de mettre à jour les performances de topologies des CANs qui peuvent être utilisées pour l'application désirée. Ces derniers occupent une place primordiale dans les circuits mixtes, car la majorité des applications électroniques récentes traitent l'information dans le domaine numérique et utilisent des convertisseurs de données comme interfaces avec les entrées et sorties analogiques.

Aujourd'hui une nouvelle tendance de l'électronique qu'est l'intégration des Systèmes mixtes implantés sur une surface plus réduite, avec des fonctions complexes. Cette tendance s'accompagne de nombreux problèmes comme la fiabilité des systèmes, la vitesse de conversion, la résolution et la consommation d'énergie. La réduction de la tension d'alimentation et la perte de précision occasionnées par la réduction des dimensions ne sont pas sans conséquences durant la conception des blocs analogiques.

Dans ce cadre, le travail présenté étudie de la conversion analogique numérique afin de mettre en évidence les difficultés à surmonter, spécialement au niveau de la conception, modélisation comportemental et l'optimisation de types des CAN SAR.

L'objectif de ce travail est de mettre en œuvre une méthode de conception des CAN prenant en compte les spécifications depuis le cahier de charge jusqu'à le modèle comportemental.

Sachant que l'objectif principal de ce projet était de proposer les techniques de conception des CAN à approximations successives dans les procédés microélectroniques modernes, sachant que dans les architectures de type SAR mode de tension, les circuits E/B d'entrée et les circuits DAC dominent la dissipation de puissance dans ces blocs.

Concernant la deuxième étape de la modélisation, nous avons adopté un modèle comportemental des convertisseurs (SAR) de 8 bits de résolution, avec l'utilisation des modèles comportementale le temps de conception par rapport aux simulateurs au niveau des transistors sera réduite. Au niveau des tests, on a eu recours à un E/B et CNA non idéal afin d'avoir un environnement de test adéquat. Le circuit de CAN a été validé à partir d'une simulation. Nous avons utilisé le simulateur Matlab et Simulink.

Dans le cas du CAN 8 bits de type SAR, avec un signal d'entrée sinusoïdal de fréquence de 10KHz avec une fréquence d'échantillonnage de 1MHZ.

Nous pouvons donc dire que nos objectifs ont été atteints. La solution proposée avec l'approche mode de courant pour réduire la consommation d'énergie dans le CAN SAR s'est montrée satisfaisante.

Perspectives:

Comme perspectives de notre travail :

Nous proposons comme un travail de future de améliorer les modèles comportementales en prenant en compte les facteurs et les erreurs non pris en charge dans ce modèle.

Un prolongement naturel de ce travail est de définir une architecture de CAN à partir du modèle comportemental obtenue. La spécification des sous blocs nécessite d'introduire des niveaux de modélisation supplémentaire pour prendre en compte des effets secondaires ignorés par la simulation comportemental, dont le but initial est de fournir une méthodologie d'évaluation rapide des performances qui permette l'optimisation de paramètres d'implémentation de type SAR au niveau des transistors avec l'utilisation des outils de conception à haut niveau comme cadence.

Basant sur la méthode de conception et le modèle comportementale. Les possibilités de modélisation avec des outils de haut-niveau de plus la méthode de conception proposée peut être applicable pour les autres types des CANs. Ainsi que, nous proposons de trouver des méthodes de corrections des erreurs d'un CAN, Ces corrections peuvent être analogiques et/ou numériques afin de compenser les erreurs et calibrer les convertisseurs étudiés

REFERENCE

BIBLIOGRAPHIQUES

Références bibliographiques

- [1] Cadence Design Systems, “20 Questions on 20nm”, Cadence Design Systems, San Jose, CA, USA, 2012.
- [2] NVIDIA, “Whitepaper NVIDIA’s Next Generation CUDA Compute Architecture: Kepler GK110,” NVIDIA, Santa Clara, CA, 2012.
- [3] Intel Corporation, “Intel Xeon Processor E7 Specification”, Intel Corporation, Santa Clara, CA, USA, 2011.
- [4] catalin-adrian-tugui, “Design Methodology for High-performance Circuits Based on Automatic Optimization Methods”, thesis PhD, École supérieure d’électricité (SUPELEC), 14 January 2013.
- [5] C. Toumazou, F.J. Lidgey, D.G. Haigh, Analogue, “IC Design, the current-mode approach”, IEE Circuits and Systems Series 2, Peter Peregrinus Ltd. 1998.
- [6] Nambiar, Neena Balakrishnan, “A Current-Mode Multi-Channel Integrating Analog-to- Digital Converter”, thesis PhD, University of Tennessee, August 2009.
- [7] N. PILLET, "Conception et intégration de convertisseurs Analogique/Numérique, compacts, à bas bruit, adaptés aux capteurs CMOS destinés à la détection de particules charges," Thèse Doctorat, Université de Strasbourg, France, 2010.
- [8] J. Ruiz-Amaya, M. Delgado-Restituto, and A. Rodriguez-Vazquez, "Behavioral modeling of pipeline ADC building blocks," International Journal of Circuit Theory and Applications”, vol. 40, pp. 571-594, Jun 2012.
- [9] E. ALLIER, "Interface analogique numérique asynchrone: une nouvelle classe de convertisseurs basés sur la quantification du temps," Thèse Doctorat, Institut National Polytechnique de Grenoble, France, 2003.
- [10] C. Taillefer, "Analog-to-Digital Conversion via Time-Mode Signal Processing," PhD Thesis, Department of Electrical and Computer Engineering, McGill University, Montréal, Canada, 2002.
- [11] F.-E. RARBI, "Conception d’un convertisseur analogique numérique pipeline de grande dynamique et de faible consommation pour le codage des signaux de détecteurs à forte granularité," Thèse Doctorat, Université de Grenoble, France, 2010.
- [12] Walt Kester, “The Data Conversion Handbook”, Analog Devices, Inc., 2005.
- [13] H. Petit. Simulations comportementales pour la synthèse des convertisseurs analogique-numérique CMOS rapide. PhD thesis, Ecole Nationale Supérieure des Télécommunications, Octobre 2004.

- [14] Ch. Rebai. Contribution à la Caractérisation des Convertisseurs Analogiques Numérique shaute performances : Mise en œuvre de nouveaux systèmes de traitement du signal pour let est in-situ. PhD thesis, Université Bordeaux 1, Décembre 2002.
- [15] M. Holdway. Le Can delta-sigma revoit sa conception et gagne en rapidité. *Electronique*, Vol. 164:40–43, Décembre 2005.
- [16] Lin, W.F.; Chou, H.P, "A fast single slope ADC with vernier delay line technique," Nuclear Science Symposium Conference Record (NSS/MIC), 2009 IEEE, vol., no., pp.313-317, Oct. 24 2009-Nov.1 2009
- [17] Seogheon Ham; Yonghee Lee; Wunki Jung; Seunghyun Lim; Kwisung Yoo; Youngcheol Chae; Jihyun Cho; Dongmyung Lee; Gunhee Han; , "CMOS image sensor with analog gamma correction using nonlinear single-slope ADC," *Circuits and Systems*, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on, vol., no., pp.4 pp.-3581, 0-0 0
- [18] Bruce, J.W., II. "Meeting the analog world challenge. Nyquist-rate analog-to-digital converter architectures," *Potentials*, IEEE, vol.17, no.5, pp.36-39, Dec1998/Jan 1999
- [19] Petulla, F.; de Notaristefani, F.; Orsolini Cencelli, V.; D'Abramo, E.; Fabbri, A.; Marinelli, M.; Verona-Rinati, G.; "Interleaved dual slope ADC for a diamond dosimeter ASIC," Nuclear Science Symposium Conference Record (NSS/MIC), 2009 IEEE, vol., no., pp.305-308, Oct. 24 2009-Nov. 1 2009
- [20] Cheng-Ta Chiang; Li-Lung Kao; Yu-Chung Huang, "A Low-Cost CMOS Integrated Dual-Mode Dual-Slope ADC with Synchronous Rectification Circuit for AC/DC Signal Measuring," *Instrumentation and Measurement Technology Conference Proceedings*, 2008. IMTC 2008. IEEE, vol., no., pp.165-169, 12-15 May 2008
- [21] http://www.maxim-ic.com/appnotes.cfm/an_pk/1080/, 21 juin 2009.
- [22] Agnes, A.; Bonizzoni, E.; Maloberti, F., "Design of an ultra-low power SA-ADC with medium/high resolution and speed," *Circuits and Systems*, 2008. ISCAS 2008. IEEE International Symposium on, vol., no. pp.1-4, 18-21 May 2008
- [23] Hugues Achiguijezet, “ convertisseur analogique-numérique à approximations successives opérant A I-V dans un procédé CMOS submicronique”, thèse maîtrise en génie électrique, juillet+2011.
- [24] Le, H.P.; Zayegh, A.; Singh, J.; "A 12-bit high performance low cost pipeline ADC," *Electronics, Circuits and Systems*, 2003. ICECS 2003. Proceedings of the 2003 10th IEEE International Conference on, vol.2, no., pp. 471- 474 Vol.2, 14-17 Dec. 2003

- [25] Gubbins, D.; Bumha Lee; Hanumolu, P.K.; Un-Ku Moon; , "A continuous-time input pipeline ADC," Custom Integrated Circuits Conference, 2008. CICC 2008. IEEE, vol., no., pp.169-172, 21-24 Sept. 2008
- [26] Van de Vel, H.; Buter, B.; van der Ploeg, H.; Vertregt, M.; Geelen, G.; Paulus, E.; , "A 1.2V 250mW 14b 100MS/s digitally calibrated pipeline ADC in 90nm CMOS," VLSI Circuits, 2008 IEEE Symposium on , vol., no., pp.74-75, 18-20 June 2008
- [27] B. Le, T-W. Rondeau, J-H. Reed, and C-W. Bostian: "Analog-to- Digital Converters—A review of the past, present, and future". IEEE Signal Processing Magazine, November 2005.
- [28] M. DAHOUMANE, "Conception, Réalisation et Caractérisation de l'Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS," Thèse Doctorat, Université de Strasbourg, 2009.
- [29] M. Jridi. Rapport de DEA : Implémentation d'un oscillateur numérique a base de modulateur Sigma Delta pour le test in-situ. Université Bordeaux 1, juin 2004.
- [30] Halonen, K, et Waltari, M, "A 220-MSample/s CMOS Sample-and Hold Circuit Using Double-Sampling", Analog integrated circuits and signal processing, vol.18, pp.21-31, 1999.
- [31] Wong, I.C.W, "CMos sample-and-hold circuits", colligé de notes de cours ECE 1352 Circuits Intégrés Analogique, Université de Toronto, 2001.
- [32] Blanchard, R, A, Gray, P, R, et Stafford, K, R, "A complete monolithic sample/hold amplifier", IEEE Journal of Solid-state Circuits, vol.9, no.6, pp.281-387, 1974.
- [33] Razavi, B, "Principles of data conversion systeme design", IEEE Press, 256 pages 1995.
- [34] Y. Sugimoto, "A 1.5-V Current-Mode CMOS Sample-and-Hold IC with 57-dB S/N at 20 MS/s and 54-dB S/N at 30 MS/s", IEEE Journal of Solid-State Circuits, vol. 36, pp 696-700, April 2001
- [35] O. Hashemipour, and S. G. Nabavi, "A 1.5V 100 MS/S 12 Bit Current-mode CMOS Sample and hold", World Academy of Science, Engineering and Technology, Vol. 18, pp.128-131, 2006.
- [36] B. Razavi, Principles of Data Conversion System Design, Wiley-Interscience, IEEE Press, 1995.
- [37] J. L. McCreary and P. R. Gray, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques-Part I," IEEE Journal of Solid-State Circuits, vol. SC-10, no. 6, December 1975.

- [38] W. Hu, Donald, Y.C. Lie, and Y.-T. Liu, “An 8-bit Single-Ended Ultra-Low-Power SAR ADC with a Novel DAC Switching Method”, IEEE Transactions on Circuits and Systems-I, vol. 60, pp. 1726–1739, 2013.
- [39] A. Rodriguez-Perez, M. Delgado-Restituto, and F. Medeiro, “Power efficient ADCs for Biomedical Signal Acquisition,” IMSE-CNM and University of Seville.
- [40] Y. S. Yee, L. M. Terman, and L. G. Heller, “A Two-Stage Weighted Capacitor Network for D/A–A/D Conversion,” IEEE Journal of Solid-State Circuits, vol. SC-14, pp. 778–781, August 1979.
- [41] L. Cong, “Pseudo C-2C Ladder-Based Data Converter Technique,” IEEE Transactions on Circuits and Systems, vol. 48, no. 10, October 2001.
- [42] ROUBIK GRIGORIAN, “Introduction to the CMOs op-amps and comparator”, wiley, july1999.
- [43] Gregorian R. “Introduction to CMOS OP-AMPS and comparators”. Canada: A Wiley Interscience Publication; 1999.
- [44] S. T. Oskuii, “Comparative Study on Low-Power High-Performance Flip-Flops,” Master thesis, Linkoping University, 2003.
- [45] Pedro M. Figueiredo and Joao C. Vital, “Kickback Noise Reduction Techniques for CMOS Latched Comparators,” IEEE Transactions on Circuits and Systems, vol.53, no.7, July 2006.
- [46] P. M. Furth, V. B. Yen-Chun, Tsen, Kulkami and T. K. Poriyani House Raju, On the design of low-power CMOS comparators with programmable hysteresis, in: Proceedings of the MWSCAS, August 2010, pp. 1077-1080.
- [47] X. Tang and K. P. Pun, “A Novel Switched-Current Successive Approximation ADC”, Journal of Circuits Systems, and Computers, vol. 20, pp.15-27, 2011.
- [48] Salah Hanfoug, Smail Toufik, “modeling and simulation of 08-bit current-mode successive approximation Registers ADC by using simulink” 2nd international conference on computational and experimental science and engineering, 14-19 october 2015, Antalya- Turkey.
- [49] Emmanuel Allier, “interface analogique numérique asynchrone : une nouvelle classe de convertisseurs bases sur la quantification du temps”, thèse Ph.D, institut national polytechnique de Grenoble, novembre 2003.

- [50] Alexandre Herculano Mendes Silva, “Pipelined Analog-To-Digital Conversion Using Current-Mode Reference Shifting”, thesis master, Faculdade de Ciências e Tecnologia, Universidad Nova de Lisboa, October 2012.
- [51] Chun-hsiensu, b.s., m.s, “a multibit cascaded sigma-delta modulator with DAC error cancellation techniques”, Ph.D thesis, Texas Tech University, May, 200.
- [52] Abdelghani Dendoga, “Contribution à la Modélisation et à la Conception d’un Convertisseur Analogique Numérique Sigma Delta”, thèse doctorat science, Département d’Electronique université de Batna, l’algerie, juillet 2013.
- [53] Mokrane dahoumane, “Conception, Réalisation et Caractérisation de l’Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS”, thèse doctorat, l’Université de Strasbourg, novembre 2009.
- [54] Van De Plassche, Rudy; “Integrated Analog-to-Digital and Digital-to-Analog Converters”; Kluwer Academic Publishers, 1994.
- [55] I. Iroaga and B. Murmann: “A 12-Bit 75-MS/s Pipelined ADC Using Incomplete Settling”. IEEE journal of Solid-State Circuits, Vol. 42, pp 748-756, April 2007.
- [56] L. Sumanen: “Pipelined Analog-to-Digital Converter for Wide-Band Wireless Communications”. Thèse de doctorat, Helsinki University of technology, Espoo, Finland, December 2002.
- [57] S. K. Gupta, M. A. Inerfield, J. Wang, “A 1-GS/s 11-bit ADC With 55-dB SNDR, 250-mW Power Realized by a High Bandwidth Scalable Time-Interleaved Architecture.” IEEE J. Solid-State Circuits, vol. 41, pp. 2650–2657, Dec. 2006.
- [58] M. Dessouky and A. Kaiser: “A very low-Voltage Digital-Audio $\Sigma\Delta$ Modulator with 88-dB Dynamic Range Using Local Switch Bootstrapping”. IEEE journal of Solid-State Circuits, Vol. 36, pp. 349-355, March 2001.
- [59] S. Barra, A. Dendoga, S. Kouada and N.-E. Bouguechal, "Contribution to the Analysis and Modeling of the Non Ideal Effects of Pipelined ADCs using MATLAB", Journal of Circuits Systems and Computers, vol. 22, p. 1250085 (14 pages), February, 2013.

Résumé :

Dans cette mémoire nous avons présenté un modèle comportemental d'un convertisseur analogique numérique (CAN) 8 bits de type registre à approximation successive (SAR), sachant qu'on a utilisé la technique mode de courant pour réaliser ce type de convertisseurs. Ceci a été conçu en employant l'environnement de MATLAB, avec une focalisation détaillée sur les blocs constitutifs analogiques du convertisseur, Comme échantillonneur-bloqueur (E/B), le convertisseur numérique analogique (CNA), le comparateur. Pour l'E/B, ils sont mis en application en employant des commutateurs et des sources de courant.

En analysant les résultats de simulation pour modèles non idéal les plus importants, il a éclairé comment les paramètres du convertisseur sont affectés considérablement par les sources non idéales.

Mots clés :

Convertisseur analogique numérique (CAN), registre à approximation successive (SAR), Echantillonneur-bloqueur (E/B), Comparateur, Convertisseur numérique analogique (CNA), Modèle comportemental du CAN SAR.

ملخص:

في هذه المذكرة قدمنا نماذج سلوكية عن المحولات التناظرية إلى الرقمية (CAN) من نوع 8 بت للسجل التقريب المثالي (SAR). مع العلم أنه استخدمنا تقنية المصدر التبادلي لأداء هذا النوع من المحولات و قد تم تصميم هذا النموذج باستخدام بيئة (MATLAB) مع التركيز المفصل عن كتل التناظرية من المحول كعينة و عقد (B/E) و تحويل الرقمية التناظرية (CNA) و المقارنة و تنفيذها باستخدام مفاتيح و مصادر التيار.

من خلال تحليل نتائج المحاكاة لأهم النماذج الغير مثالية توصلنا إلى أن المعطيات عن التحويل تتأثر بشكل كبير من المصادر الغير مثالية.

كلمات البحث:

محول تناظري (CAN), السجل التقريبي (SAR), عينة و عقد (B/E), مقارنة (COMPARATEUR), محول رقمي تناظري (ACN), النموذج السلوكي لـ (SAR CAN).