

RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE
MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITÉ IBN-KHALDOUN DE TIARET

FACULTÉ DES SCIENCES APPLIQUEES
DÉPARTEMENT DE GENIE ELECTRIQUE



MEMOIRE DE FIN D'ETUDES

Pour l'obtention du diplôme de Master

Domaine : Sciences et Technologie

Filière : Génie Electrique

Spécialité :

Electronique Des Systèmes Embarqués

THÈME

Etude de l'effet des contraintes mécaniques sur les propriétés électroniques des transistors MOSFET nanométriques.

Préparé par : Mlle. Aissa Fatma
Mlle. Laouni Rim

Devant le Jury :

Nom et prénoms	Grade	Qualité
Mr. Ghellab Abed el kader	MCB	Président
Mr. Belhadji Youcef	MCB	Examineur 1
Mr. Bouazza Abed el kader	MCB	Examineur 2
Mr. Otmani Radouane	MAA	Encadreur

PROMOTION 2017 /2018



DEDECACE DEDECACE

Je dédicace ce travail à qui m'ont donné la vie « mes chers parents » et spécialement à qui a sacrifié pour mon bonheur et ma réussite, ma première enseignante

« Ma mère »

Aissa Fatma

Du profond de mon cœur je dédie ce travail à :

Ma chère MAMAN

Mon PERE

Tous mes frères et mes sœurs

Tous mes proches et mes amis

Tous ceux qui me sont chères

Laouni Rim



DEDICACE :

DEDICACE :



REMERCIEMENT

Nous tenons tout d'abord à remercier DIEU le tout puissant et miséricordieux, qui nous a donné la force et la patience d'accomplir ce travail.

*En second lieu, nous tenons à remercier notre encadreur Monsieur **OTMANI Radouane** Maitre-Assistant à l'université Ibn-khaldoun pour ses précieux conseils, l'orientation, la confiance et la patience qui ont constitué un apport considérable.*

Nos vifs remerciements vont également aux membres du jury pour l'intérêt qu'ils ont porté à notre recherche en acceptant d'examiner ce travail.

*Nous remercions également Monsieur **GHELLAB Abed-el-Kader** Maitre de conférences à l'université Ibn-khaldoun, pour avoir accepté de présider ce jury de mémoire.*

Enfin, nous tenons également à remercier toutes les personnes qui ont participé de près ou de loin à la réalisation de ce travail.

Table de Matière

Liste des tableaux et des figures.....	i
Liste des abréviations et symboles.....	iv
Introduction générale.....	1
Chapitre I : Principe de fonctionnement et technologie de fabrication des MOSFET	
I.1.Introduction.....	4
I.2. Principe de fonctionnement du MOSFET.....	4
I.2.1. Structure du MOSFET.....	4
I.2.2. Le fonctionnement du MOS.....	5
I.2.3. Les régimes de fonctionnement.....	7
I.2.3.1. Régime d'accumulation	7
I.2.3.2. Régime de désertion (déplétion)	7
I.2.3.3.Régime de faible inversion	7
I.2.3.4.Régime de forte inversion	7
I.3. La technologie de fabrication	9
I.3.1. Les procédés de la technologie de fabrication de CMOS.....	9
I.3.1.1. Purification du silicium	9
I.3.1.2. Fabrication du wafer	9
I.3.1.3. L'épithaxie	10
I.3.1.4. Diffusion	10
I.3.1.5. L'implantation ionique	10
I.3.1.6. L'oxydation	11
I.3.1.7. La métallisation	11
I.3.1.8. La gravure	11
I.3.1.9. La photolithographie	11
I.3.2. Technologie de fabrication de transistor PMOSFET.....	12
I.3.2.1. Fabrication et préparation du substrat.....	12
I.3.2.2. L'oxydation	12
I.3.2.3. La photolithographie.....	13
I.3.2.4. La gravure.....	13
I.3.2.5. Élimination de la résine.....	14
I.3.2.6. Dopage.....	14
I.3.2.7. Oxydation 2.....	14

I.3.2.8. Photolithographie 2.....	15
I.3.2.9. Gravure 2.....	15
I.3.2.10. Oxydation 3/.....	15
I.3.2.11. Photolithographie 3.....	16
I.3.2.12. Gravure 3	16
I.3.2.13. Élimination de la résine 3.....	17
I.3.2.14. Métallisation.....	17
I.3.2.15. Photolithographie 4.....	17
I.3.2.16. Gravure 4.....	18
I.3.2.17. Composant final.....	18

Chapitre II : Les effets de la miniaturisation des MOSFET: Problèmes et solutions

II.1.Introduction	20
II.2. Effets fortement parasites du transistor submicronique.....	20
II.2.1. Les effets canaux courts.....	20
II.2.2. Les résistances séries	21
II.2.3. Déplétion de grille et quantification des porteurs de la couche d'inversion.....	21
II.2.4.Les fuites de grille.....	22
II.3. Repousser le bulk jusqu'à ses dernières limites	22
II.3.1. Améliorer le contrôle des effets canaux courts	22
II.3.2. Augmentation locale du dopage canal : implantation des poches.....	22
II.3.3. Limiter la diffusion des extensions : jonctions ultra fines et recuits rapides.....	23
II.4. Améliorer le courant de saturation.....	24
II.4.1. Supprimer la déplétion de grille : introduction à la grille métallique.....	24
II.4.2. Limiter les fuites de grille : les diélectriques à haute permittivité	24
II.5. Introduction de contraintes mécaniques dans le canal de conduction.....	25
II.6. Nouvelles architectures	25
II.6.1. L'architecture SOI	25
II.6.1. 1.les avantages du SOI	26
II.6.1. 1.1.Uniformité de la couche active de silicium des plaques SOI	26
II.6.1.1.2.L'épaisseur de l'oxyde enterré.....	26
II.6.1.1.3.L'isolation latérale	27
II.6.2. L'architecture SON	27
II.6.2.1. Les étapes technologiques principales du SO.....	27

II.7. Conclusion	28
Chapitre III : Modélisation des effets de contraintes mécaniques sur la conductivité du canal	
III.1. Introduction	31
III.2. Théorie de la piézorésistivité	31
III.3. Introduction à la physique du silicium contraint	32
III.4. Modélisation de l'effet des contraintes sur la mobilité des porteurs de charges	32
III.5. Les coefficients de piézorésistivité	34
III.5.1. L'influence du dopage sur le coefficient piézorésistif.....	34
III.5.2. L'influence de la direction cristallographique sur le coefficient piézorésistif	36
III.6. Résultats	40
III.6.1. La mobilité en fonction du dopage	40
III.6.2. L'influence de la contrainte sur la mobilité	40
III.6.2.1. La mobilité en fonction des coefficients de silicium de type N.....	40
III.6.2.2. La mobilité en fonction des coefficients de silicium de type P.....	41
III.6.3. Les caractéristiques du courant	42
III.6.3.1. Caractéristiques de courant d'un canal non contraint.....	42
III.6.3.2. Caractéristiques de courant d'un canal contraint (Si-N)	43
III.6.3.3. Caractéristiques de courant d'un canal contraint (Si-P)	43
III.6.3.4. L'influence de dopage sur la caractéristique de courant d'un P-MOSFET.	45
III.6.3.5. L'influence de dopage sur la caractéristique de courant d'un N-MOSFET	46
III.7. Conclusion	46
Conclusion générale.....	47
Bibliographie.....	49

Liste des Tableaux et Figures

Liste Des Tableaux

TAB III.1 : Valeurs de perte du π pour différents dopage.....	35
TAB III.2 : Valeurs de coefficient π_{ii} (Si-P).....	37
TAB III.3 : Valeurs de coefficient π_{ii} (Si-N).....	39

Liste Des Figures

Chapitre I : Principe de fonctionnement et technologie de fabrication des MOSFET

Figure I.1 : structure de MOSFET.....	4
Figure I.2 : caractéristiques de transfert et de sortie des différents types de MOSFET.....	6
Figure I.3:les régimes de fonctionnement d'un MOSFET.....	8
Figure I.4 : la croissance des lingots.....	9
Figure I.5 : le découpage de lingot en wafers.....	9
Figure I.6 :Substrat de Silicium dopé N.....	12
Figure I.7 :Croissance du SiO_2	12
Figure I.8 :Dépôt de la résine.....	13
Figure I.9 : Insolation par UV.....	13
Figure I.10 :Gravure du SiO_2	13
Figure I.11 : Nettoyage de la résine.....	14
Figure I.12 :Dopage drain et source.....	14
Figure I.13 : Oxydation.....	14
Figure I.14 :Dépôt de résine.....	15
Figure I.15 : Gravure	15
Figure I.16 : Oxydation.....	15
Figure I.17 :Dépôt de résine	16
Figure I.18 :Insolation par UV	16

Liste des Tableaux et Figures

Figure I.19 : Gravure	16
Figure I.20 :Nettoyage de la résine.....	17
Figure I.21 : Dépôt d'une couche d'AL	17
Figure I.22 :Etape de photolithographie.....	17
Figure I.23 : Gravure du métal.....	18
Figure I.24 : Composant final.....	18
Chapitre II : Les effets de la miniaturisation des MOSFET: Problèmes et solutions	
Figure II.1: Effet des poches sur le partage de charge.....	23
Figure II.2 : Transistor FDSOI.....	25
Figure II.3 : Description du procédé d'intégration des transistors SON.....	28
Chapitre III : Modélisation des effets de contraintes mécaniques sur la conductivité du canal	
Figure III.1 : Illustration des changements géométriques d'une résistance parallélépipédique soumise à une contrainte quelconque	31
Figure III.2 : la courbe de taux de perte	35
Figure III.3 : courbe des coefficients de piézorésistivité en fonction de dopage.....	35
Figure III.4: Courbe de variation de π_{44} du Si-P.....	36
Figure III.5: Courbe de variation de π_{12} du Si-P.....	36
Figure III.6: Courbe de variation π_{11} de Si-P.....	37
Figure III.7: Courbe de variation de π_{44} du Si-N.....	38
Figure III.8: Courbe de variation de π_{12} du Si-N.....	38
Figure III.9 : Courbe de variation de π_{11} du Si-N.....	39

Liste des Tableaux et Figures

Figure III.10 : courbe du gain en mobilité en fonction de dopage.....	40
Figure III.11 : courbe du gain en mobilité en fonction de la contrainte (Si-N).....	41
Figure III.12 : courbe du gain en mobilité en fonction de la contrainte (Si-P).....	42
Figure III.13 : gain de mobilité en fonction de contrainte	42
Figure III.14 : caractéristiques d' I_{ds} en fonction de V_{ds} pour différents V_{gs}	43
Figure III.15 : caractéristiques d' I_{ds} en fonction de V_{ds} pour différentes contraintes de N-MOS.....	44
Figure III.16 : caractéristiques d' I_{ds} en fonction de V_{ds} pour différentes contraintes de P-MOS.....	44
Figure III.17 : courbe d' I_{ds} en fonction de V_{ds} pour différents dopage de P-MOSFET.....	45
Figure III.18 : courbe d' I_{ds} en fonction de V_{ds} pour différents dopages de N-MOSFET.....	45

Liste des abréviations et symboles

MATLAB : MATrix LABoratory

MOSFET: Metal Oxide Semi-conductor Field Effect Transistor (transistor à effet de champ).

CMOS: Complementary Metal Oxide Semi-conductor.

DIBL: Drain Induced Barrier Lowering.

SCE: Short Channel Effect.

EOT: Equivalent Oxide Thickness.

ZCE: Zone de Charge Espace.

FD-SOI: Fully Depleted-Silicon On Insulator (transistor totalement déserté-silicium sur isolant).

CMP : Chemical Mechanical Polishing.

SON: Silicon On Nothing (silicium sur rien).

BOX: Buried OXide.

LOCOS: LOCal Oxidation Of Silicon.

STI: Shallow Trench Isolation.

MEB: Microscope Electronique à Balayage.

Significations

Symbole Unité

Paramètres géométriques et technologiques des transistors

MOS :

Longueur de la grille	L_g	m
Longueur du canal	L	m
Longueur effective du canal	L_{eff}	m
Largeur du canal	W	m
Épaisseur de l'oxyde de grille	T_{ox}	m

Liste des abréviations et symboles

Epaisseur de Silicium	T_{Si}	m
Profondeur de jonction du MOSFET bulk	X_j	m
Température	T	K
Dopage du substrat	N_A	cm^{-3}
Dopage de la source et du drain	N_D	cm^{-3}
Paramètres électriques des transistors MOS :		
Tension d'alimentation	V_{dd}	V
Polarisation de la grille	V_{gs}	V
Polarisation du drain	V_{ds}	V
Polarisation de la source	V_s	V
Tension de seuil pour un transistor canal court	V_{th}	V
Courant de drain	I_{ds}	A
Capacité d'oxyde totale	C_{ox}	F
Mobilité effective des porteurs	μ_{eff}	$cm^2 V^{-1} s^{-1}$

Introduction générale

Introduction générale

Depuis l'invention du premier transistor en 1948, puis celle du circuit intégré, par Jack Kilby, les progrès de la microélectronique ont été considérables, tant au niveau de l'amélioration des performances et de l'accroissement de la complexité des circuits que de la baisse des coûts de production [8].

Les transistors MOS (Métal Oxyde Semi-conducteur) sur silicium utilisés en architecture CMOS (Complementary MOS : MOS Complémentaires) sont les principaux artisans de cette progression continuelle et dominent de façon écrasante le marché des semi-conducteurs.

Le but de notre travail consiste à l'étude de l'effet des contraintes mécaniques sur les propriétés électroniques des transistors MOSFET nanométriques.

La variation de résistance dans un semi-conducteur monocristallin (effet piézorésistif) est sensiblement plus élevée que dans des jauges de contrainte standard dont la résistance varie avec les changements géométriques de la structure. La conductivité dans un semi-conducteur dopé est influencée par un changement (compression ou étirement de la grille du cristal) qui peut être produite par une très petite déformation mécanique.

Dans ce contexte, ce mémoire a été consacré à l'étude de l'influence de contrainte mécanique sur la conduction du canal. En partant d'un modèle analytique simple et en utilisant le logiciel de programmation MATLAB.

Ce travail est subdivisé en trois chapitres dont le premier rappelle le fonctionnement des transistors à effet de champ (MOSFET) à substrat massif (dit aussi MOSFET bulk). Nous rappelons aussi dans ce chapitre les différents régimes de fonctionnement, ainsi que la technologie de fabrication de ce composant.

Le second chapitre est entièrement dédié à la miniaturisation de transistor MOS, les problèmes liés à cette réduction de taille, ainsi que les solutions qui peuvent contrer ces effets parasites.

Le troisième chapitre, a été bien évidemment consacré pour la modélisation ensuite la présentation des résultats de simulation obtenus dans notre étude.

Chapitre I :

Principe de fonctionnement et technologie de fabrication des MOSFET

I.1. Introduction :

Nous avons consacré ce chapitre pour un bref rappel sur le MOSFET. Dans la première partie on fera une étude sur le transistor (structure de base, les régimes de fonctionnement et les types de MOSFET), nous suivrons cette partie par une description de la technologie de fabrication des CMOS (les procédés de fabrication et un cas particulier de réalisation d'un transistor MOS seront détaillés).

I.2. Principe de fonctionnement du MOSFET :

I.2.1. Structure du MOSFET :

Le MOSFET est constitué d'un substrat semi-conducteur légèrement dopé sur lequel repose une fine couche d'oxyde isolant (SiO_2) d'épaisseur T_{ox} . Une couche conductrice (métal ou poly silicium fortement dopé) appelé électrode de grille est déposée sur la couche d'oxyde. Enfin, deux zones fortement dopées de profondeur X_j vont former le drain et la source, dans le substrat, de part et d'autre de la grille. La région située sous l'oxyde de grille, entre les jonctions de source et de drain est appelée canal du transistor. Le canal est défini par sa longueur L et sa largeur W .

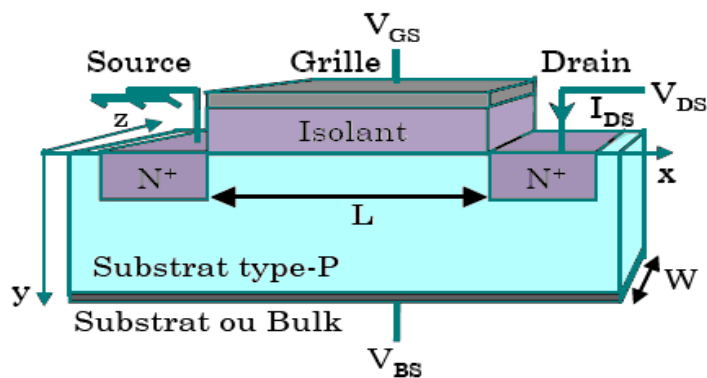


Figure I.1 : Structure de MOSFET [1].

Suivant le type de porteurs assurant le passage du courant, on parle de transistor MOS à canal N (NMOS : conduction par électrons), ou de transistor à canal P (PMOS : conduction par trous).

Dans un **NMOS**, la grille doit être polarisée positivement. Cela permet de créer un canal de conduction rempli d'électrons. La tension V_{DS} doit être positive afin de drainer ces électrons de la source vers le drain. Ainsi, un courant électrique I_{ds} est créé.

En outre, dans un **PMOS**, la grille est polarisée négativement afin de créer un canal rempli de trous. Le potentiel V_{DS} doit être négatif dans le but de drainer ces trous de la source vers le drain et ainsi créer le courant I_{ds} .

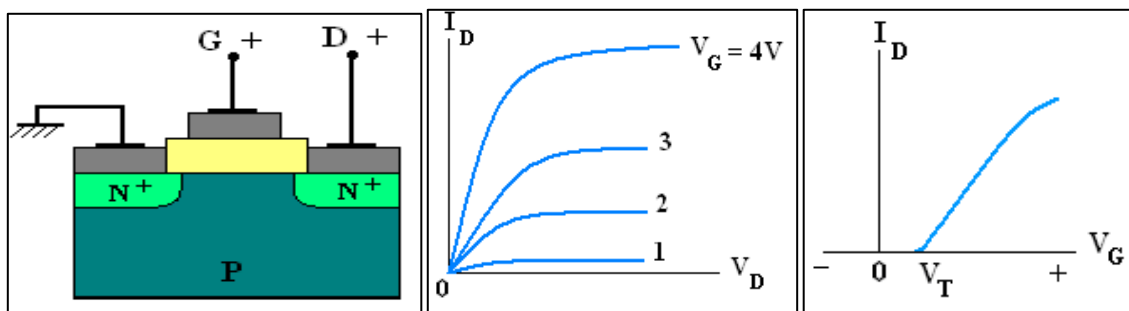
I.2.2. Le fonctionnement du MOS :

Le fonctionnement du MOSFET (Métal Oxyde Semi-conducteur Field Effect Transistor) se repose sur l'effet de champ qui consiste à moduler de façon électrostatique une densité de charges dans un semi-conducteur. Cette modulation est provoquée par un champ électrique transversal à la direction de mouvement de ces charges, et agissant entre deux électrodes séparées par un diélectrique.

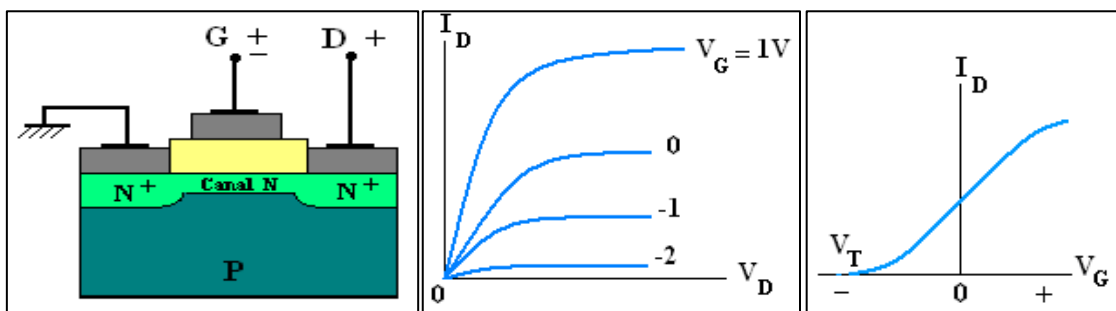
- la grille commande l'intensité du champ électrique et par conséquent la densité de charge électrique dans le canal.
- le canal est créé entre deux contacts (source **S** et drain **D**), entre lesquels est appliquée une différence de potentiel V_{DS} .

Selon le fonctionnement du transistor on distingue deux modes :

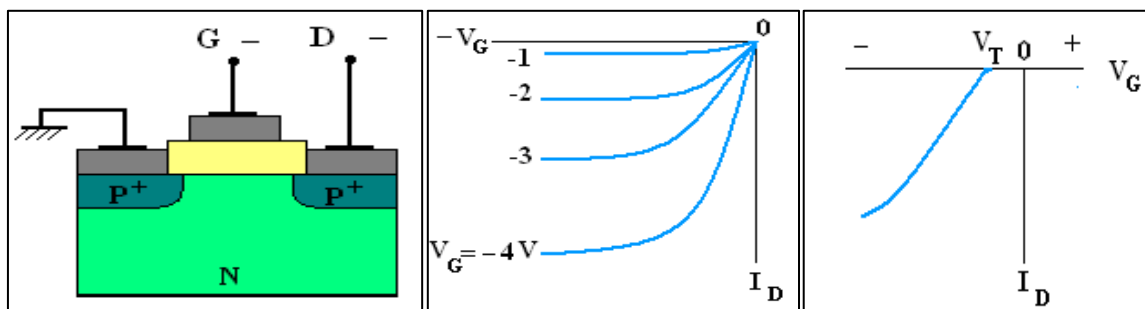
- Transistor MOSFET à enrichissement : le transistor est bloqué en l'absence de signal de commande sur la grille. L'application d'une tension suffisante induit un canal et rend le transistor passant [2].
- Transistor MOSFET à appauvrissement : ce type de transistor est passant à l'absence de signal de commande sur la grille à cause de la présence du canal par un léger dopage [2].



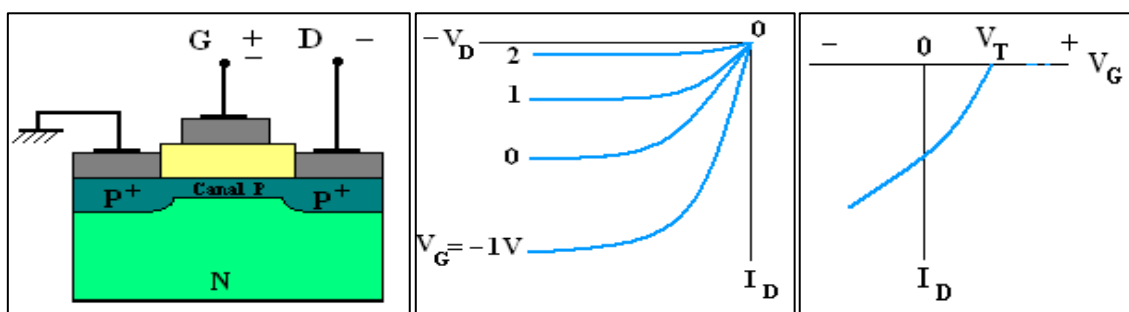
NMOSFET à enrichissement (normally off).



NMOSFET à appauvrissement (normally on).



PMOSFET à enrichissement (normally off).



PMOSFET à appauvrissement (normally on).

Figure I.2 : Caractéristiques de transfert et de sortie des différents types de MOSFET

[1].

I.2.3. Les régimes de fonctionnement:

Un MOSFET présente quatre régimes de fonctionnement selon l'état du canal : le régime d'accumulation, le régime de désertion, le régime d'inversion faible et le régime de forte inversion.

I.2.3.1. Régime d'accumulation :

En régime d'accumulation, les porteurs majoritaires sous l'oxyde de grille sont les trous pour un NMOSFET. Il existe une barrière de potentiel entre la source et le drain d'un côté, et le substrat de l'autre côté. Cette barrière de potentiel empêche les électrons de circuler de la source vers le drain à travers le canal même en présence d'une tension V_{DS} très forte. Le transistor est donc à l'état bloqué [3].

I.2.3.2. Régime de désertion (déplétion) :

Pour une tension de grille supérieure à la tension de bande plate mais inférieure à la tension de seuil, les porteurs majoritaires dans le substrat sont repoussés en profondeur. Il se crée une zone de charge d'espace où l'absence de charges libres induit une capacité de désertion. Le transistor est toujours à l'état bloqué [3].

I.2.3.3. Régime de faible inversion :

Les concentrations des porteurs majoritaires et minoritaires sont équivalentes. La barrière de potentiel entre la source et le canal reste importante. Seuls quelques porteurs arrivent à la franchir par activation thermique. Il en résulte un faible courant de diffusion dans le drain [3].

I.2.3.4. Régime de forte inversion :

Les électrons minoritaires du substrat sont fortement attirés au niveau de la région d'oxyde de grille et forme un canal qui permet la circulation d'un courant I_{ds} . Par l'application d'un champ électrique longitudinal induit par le potentiel V_{ds} , la source peut injecter des porteurs dans le substrat par l'abaissement de la barrière de potentiel de jonction source/substrat.

Lorsque la tension de drain V_{ds} augmente au-delà de la valeur $V_{gs}-V_{th}$, la charge d'inversion ne peut plus être considérée comme uniforme dans le canal. En effet, la densité de porteurs devient nulle dans le côté drain, créant un point de pincement qui va se déplacer vers la source au fur et à mesure de l'augmentation de la tension de drain.

Dans le régime de saturation, le courant de saturation est indépendant de la tension V_{ds} et ne dépend que de la tension de grille. Le transistor se comporte finalement comme une source de courant commandée par V_{gs} [3].

$$I_{dssat} = \frac{1}{2} \mu_{eff} C_{ox} \frac{W}{L_{eff}} V_{dssat}^2 \quad (I.1)$$

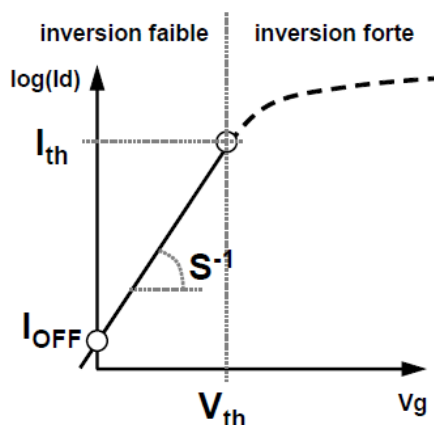


Figure I.3: Les régimes de fonctionnement d'un MOSFET [2].

Le fonctionnement d'un transistor MOS est comparable à celui d'un interrupteur de très petite taille, on peut laisser ou interrompre le passage du courant suivant la tension appliqué sur la grille. Ce principe de fonctionnement a permis au transistor MOS de s'imposer pour de multiples applications. Il est ainsi utilisé comme point-mémoire (ou bit) pour stocker et lire de l'information. Mais son utilisation principale intervient dans l'électronique numérique. Associés, les transistors MOS forment les portes logiques, les bascules, les registres, les μ -processeurs qui sont indispensables au traitement numériques des données.

I.3. La technologie de fabrication :

I.3.1. Les procédés de la technologie de fabrication de CMOS:

I.3.1.1. Purification du silicium :

C'est un concept chimique qui sert à obtenir un matériau de bonne qualité. On va faire fondre la silice avec le charbon (à la température de 1687 K) pour le réduire et éliminer les impuretés chimiques [4].

I.3.1.2. Fabrication du wafer :

Elle est basée sur deux étapes :

1. Préparation de la charge du silicium: On va prendre un morceau de Silicium purifié à 99,9999999 %.
2. Tirage et croissance du cristal: À partir du silicium dans l'état liquide, on prend un germe et faire un tirage progressif du silicium afin de former des lingots (utilisant la technique de Czochralski, fusion de zone) qu'on découpe ensuite pour obtenir les wafers.

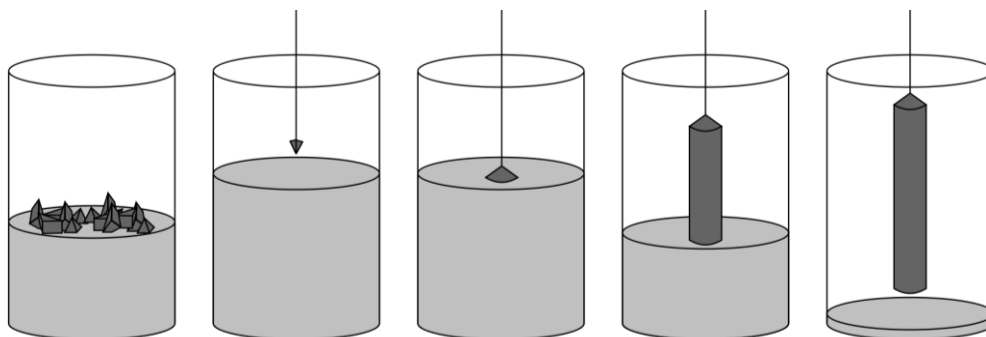


Figure I.4: La croissance des lingots[8].

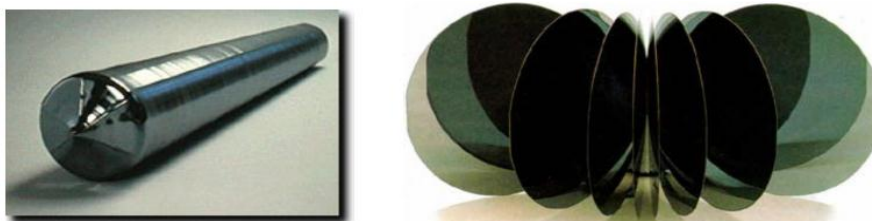


Figure I.5: Le découpage de lingot en wafers [5].

I.3.1.3. L'épitaxie :

C'est la croissance du cristal sur du cristal dans le but d'obtenir des couche active d'une bonne qualité cristallographique et chimique (utiliser le substrat comme germe). On distingue trois types :

- Épitaxie par jet moléculaire : Cette technique consiste à envoyer des molécules à la surface d'un substrat dans un vide très poussé afin d'éviter tout choc ou contamination sur le parcours. Le principe de la source est d'évaporation sous vide par chauffage. Les sources d'évaporation peuvent être de nature et de dopage différents. Pour chaque élément évaporé, il faut adapter la puissance de chauffe de cellule mais aussi du porte-substrat. Par le contrôle des cellules d'évaporation, on crée un jet de molécules en direction du substrat. On peut ainsi réaliser couche par couche des structures très complexes. Ainsi on obtient une très grande précision de croissance. Mais le majeur inconvénient de cette technique est qu'elle est très coûteuse [4].
- Épitaxie en phase liquide : Elle se base sur la croissance du cristal par la mise en contact du substrat avec une source liquide. C'est le même principe que le tirage d'un lingot. Il faut bien contrôler les échanges thermiques pour éviter de liquéfier le cristal existant. Cette méthode présente l'avantage d'être très rapide [4].
- Épitaxie en phase vapeur : Elle consiste à faire croître le cristal à partir de source de gaz contenant les éléments dopants. Dans le réacteur, le gaz se dissocie pour fournir par exemple le silicium qui se dispose à la surface des plaques. Pour assurer une bonne croissance, les réacteurs mis en jeu sont très différents et elles peuvent même conduire à des effets négatifs. Il faudra aussi contrôler les équilibres chimiques par injections de gaz résultant de la décomposition de la source [4].

I.3.1.4. Diffusion :

C'est un processus de dopage des semi-conducteurs. Il consiste à déposer sur le SC un matériau dopant (Bohr ou Phosphore) et à chauffer l'ensemble pour que les atomes dopants puissent pénétrer dans le Silicium [4].

I.3.1.5. L'implantation ionique :

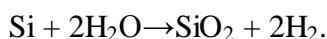
C'est l'introduction des atomes ionisés et accélérés par un champ électrique intense. Cette technique est plus précise que la diffusion puisque elle produit un profil de

concentration en dopants plus ou moins abrupte. Cependant, cette technique est plus chère que la diffusion [4].

I.3.1.6. L'oxydation :

C'est l'étape la plus importante dans la fabrication des circuits intégrés. On peut obtenir l'oxyde de silicium d'une façon naturelle facilement. Il y a deux techniques d'oxydation :

- Oxydation sèche : La technique consiste à forcer l'agent oxydant à diffuser à haute température à travers le wafer pour réagir avec lui. L'oxydation thermique est beaucoup utilisable pour les surfaces de silicium lors de la fabrication de circuits intégrés [6].
- Oxydation humide : La croissance de l'oxyde de silicium à la surface du silicium monocristallin ou poly silicium est obtenue à haute température (typiquement entre 900°C et 1050°C) sous flux de vapeur d'eau [7].



I.3.1.7. La métallisation :

C'est la déposition d'une couche ou un film métallique mince sur un substrat. L'épaisseur de cette couche est de l'ordre de quelques nanomètres. Le dépôt de silicium et d'aluminium enrichis se fait par un processus similaire à une CVD [4].

I.3.1.8. La gravure :

C'est un procédé utilisé en micro-fabrication qui consiste à retirer une ou plusieurs couches des matériaux à la surface de wafer. Il existe deux types de gravure :

- Gravure chimique: Elle peut être liquide par acide HF (c'est une gravure isotrope et non sélective). Elle peut aussi être gazeuse par plasma (elle est anisotrope et pas très sélective) [7].
- Gravure ionique: Pulvérisation par bombardement avec des ions lourds. Cette technique est utilisée pour la gravure des matériaux durs. Elle est anisotrope et non sélective [7].

I.3.1.9. La photolithographie :

La photolithographie est l'ensemble des opérations permettant de transférer une image (généralement présente sur un masque) vers un substrat. Les motifs de l'image transférée deviendront les zones des composants électroniques (drain, contact, etc.) [7].

I.3.2. Technologie de fabrication de transistor PMOSFET:

I.3.2.1. Fabrication et préparation du substrat :

Comme un début, on doit préparer un silicium monocristallin de type P [7].

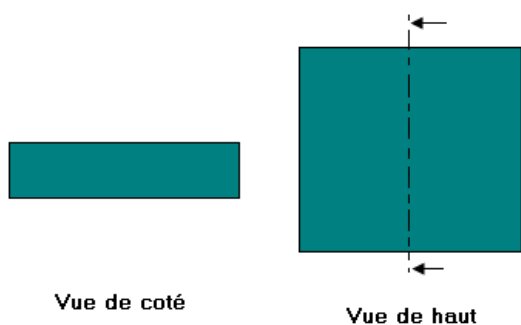


Figure I6: Substrat de Silicium dopé N.

- Si de type N
- Si de type P
- SiO₂
- PR
- Aluminium

I.3.2.2. L'oxydation :

Dans ce niveau, on doit croître une couche d'oxyde de silicium épaisse. Cette dernière sera obtenue par l'oxydation humide [7].

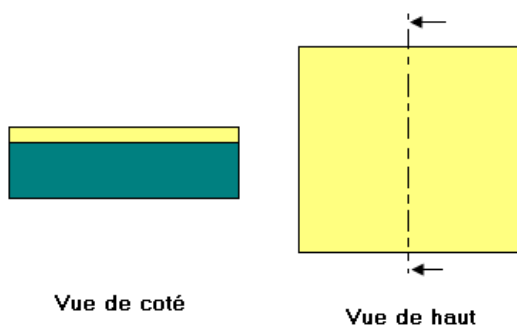


Figure I7: Croissance du SiO₂.

- Si de type N
- Si de type P
- SiO₂
- PR
- Aluminium

I.3.2.3. La photolithographie :

Dans cette étape, on étale une couche de résine (matière photorésistante) sur toute la surface du wafer. Après, à travers un masque, on insole la résine par la lumière UV. Les zones non protégées seront enlevées par un simple solvant et les zones protégées restent sur le wafer [7].

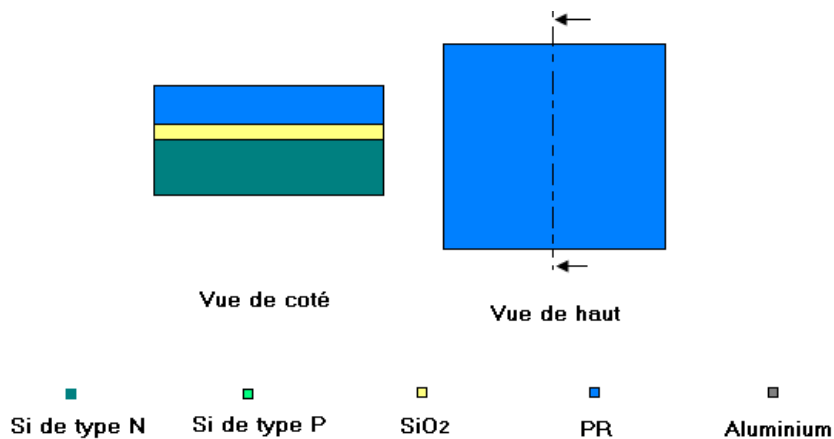


Figure L8 :Dépôt de la résine.

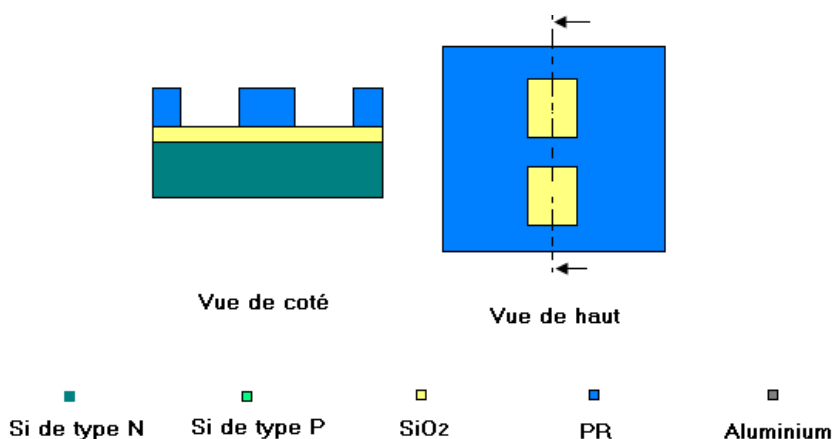


Figure L9:Insolation par UV.

I.3.2.4. La gravure:

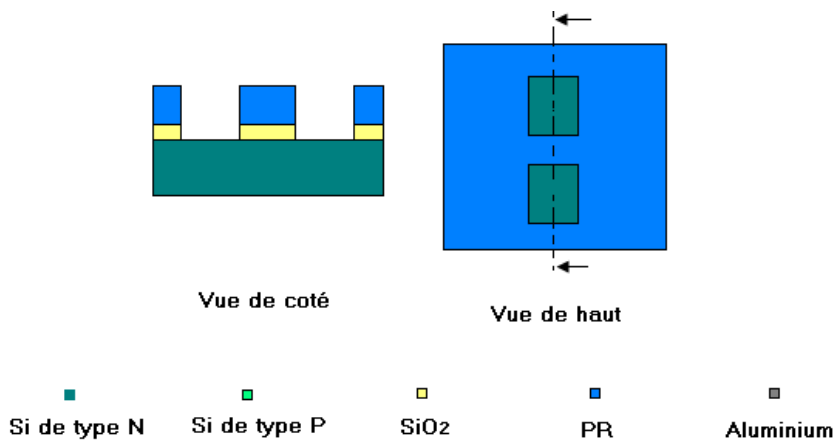
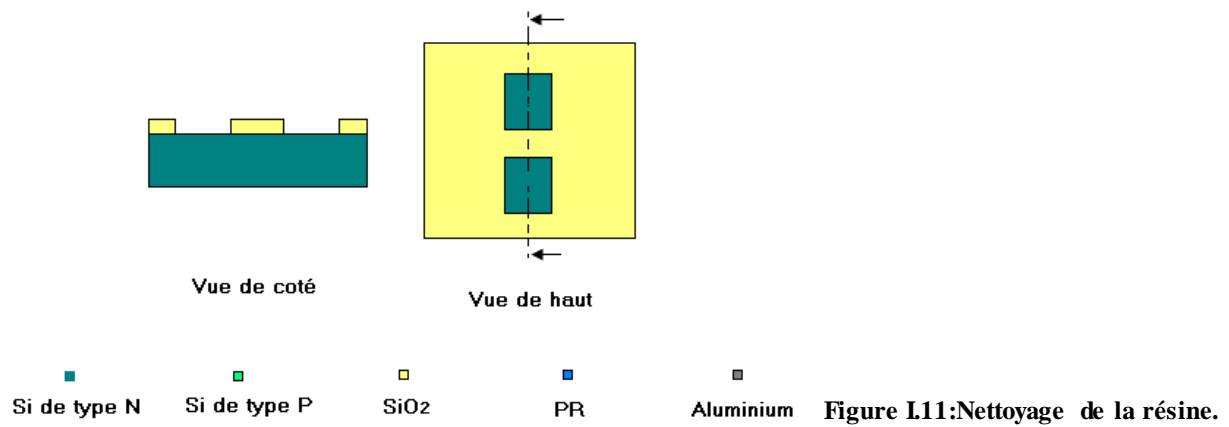


Figure L10:Gravure du SiO₂.

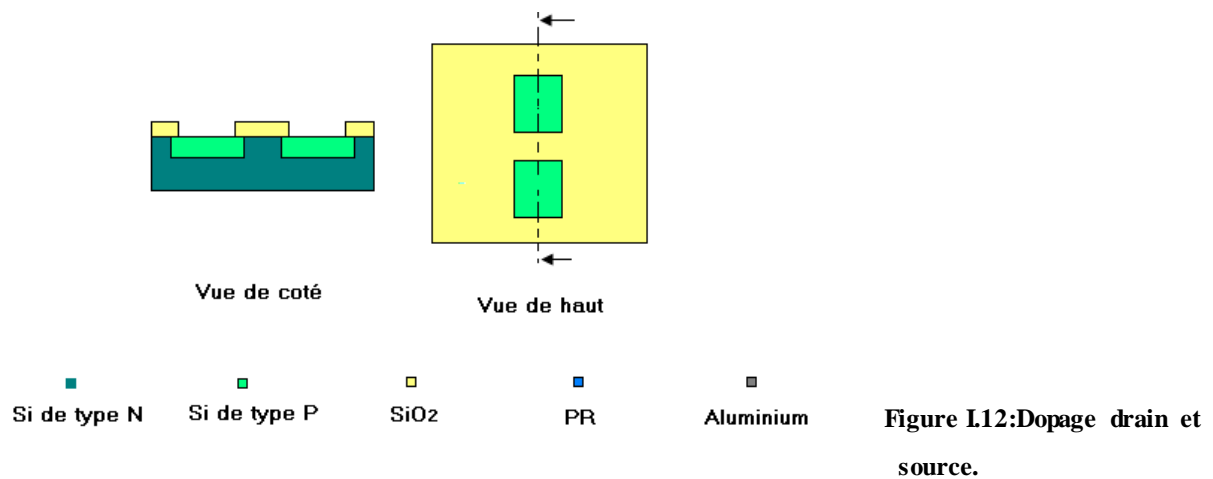
I.3.2.5. Élimination de la résine :

On élimine la résine avec un produit appelé « remove » [7].

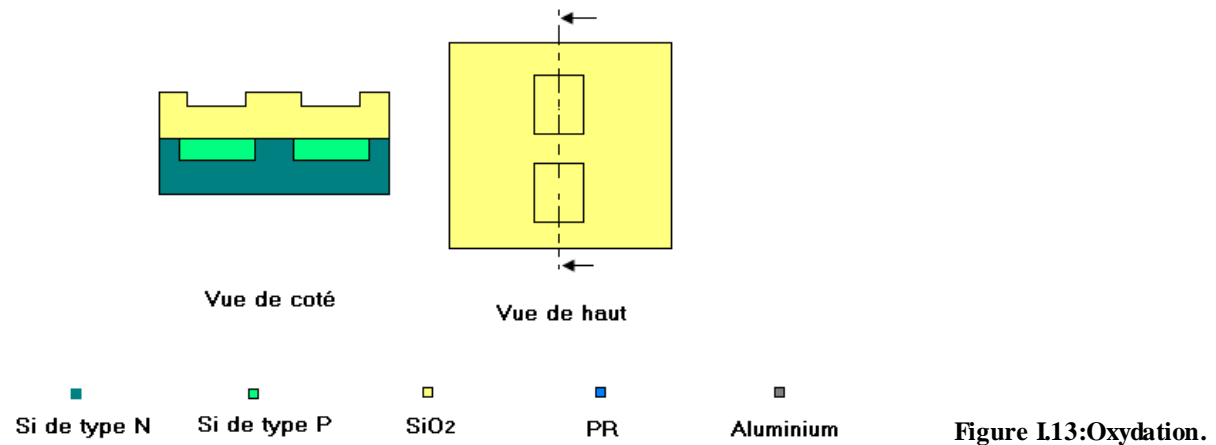


I.3.2.6. Dopage :

Le dopage a pour but de créer des régions avec des concentrations bien contrôlées [7].



I.3.2.7. Oxydation 2 :



I.3.2.8. Photolithographie 2:

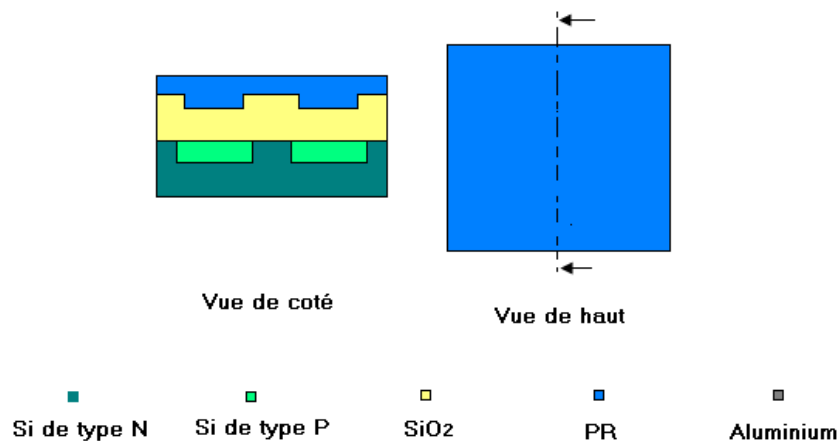


Figure L14 : Dépôt de résine.

I.3.2.9. Gravure 2 :

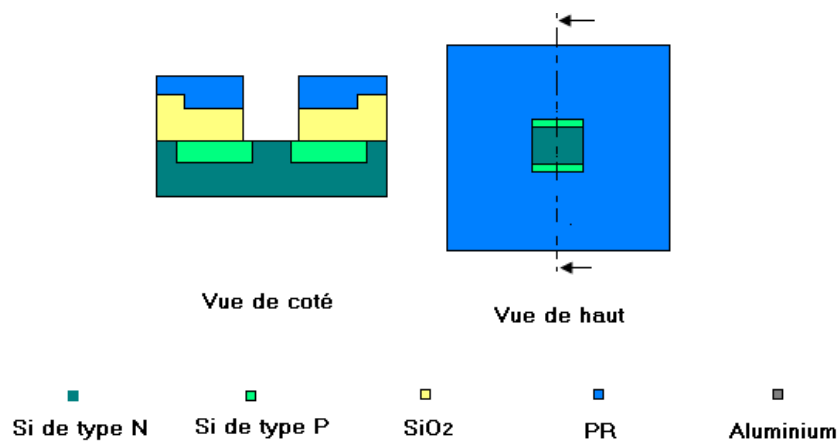


Figure L15 : Gravure.

I.3.2.10. Oxydation 3 :

On utilise l'oxydation sèche puisqu'elle nous permet de contrôler mieux l'épaisseur de l'oxyde[7] :

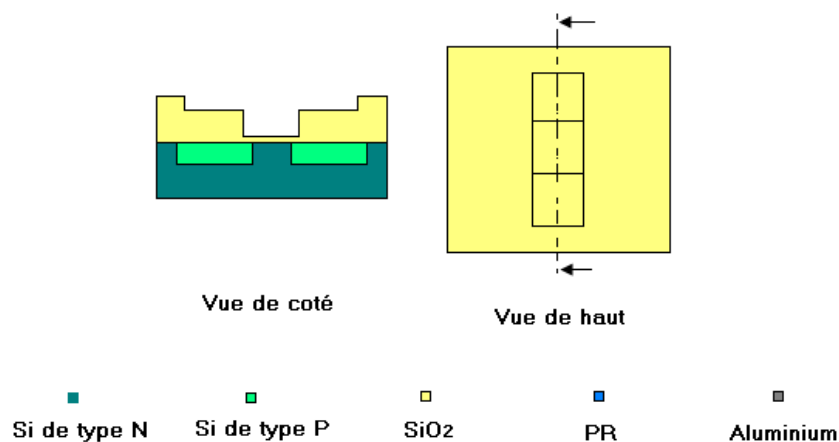
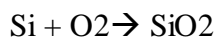
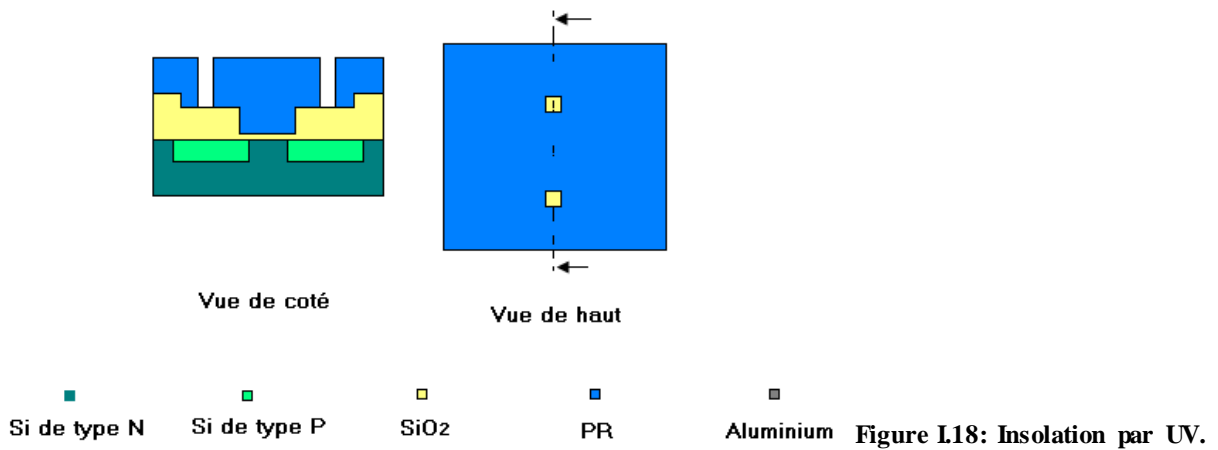
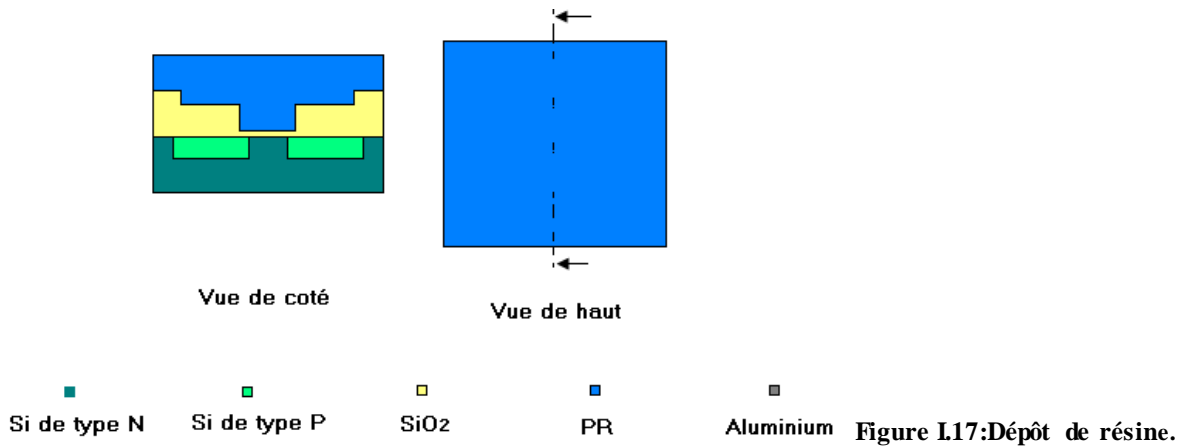


Figure L16 : Oxydation.

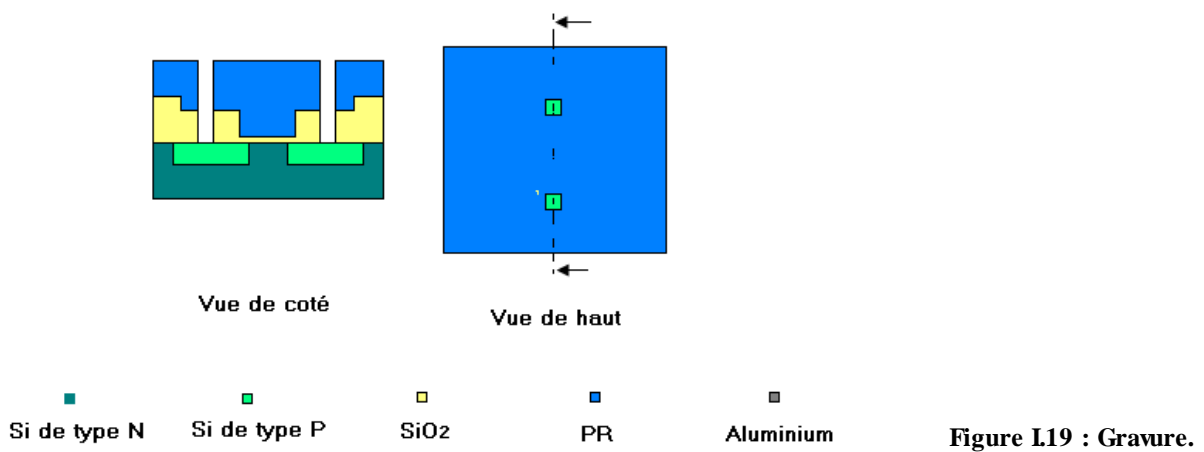
I.3.2.11. Photolithographie 3 :

On applique la résine sur toute la surface du wafer et on attaque par la lumière UV à travers un masque[7].

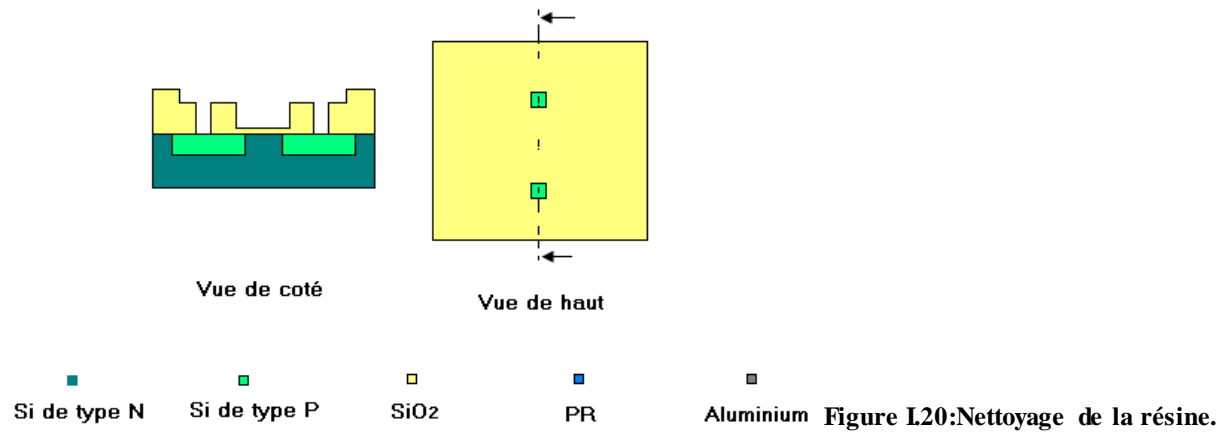


I.3.2.12. Gravure 3 :

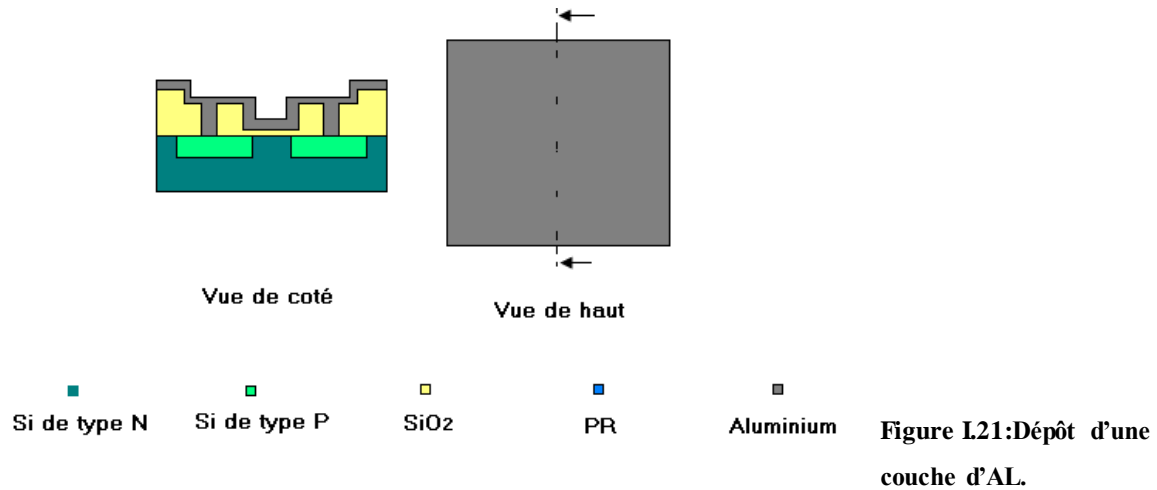
Pour enlever l'oxyde recouvrant le drain pour de réaliser les contacts ohmiques [7].



I.3.2.13. Élimination de la résine 3 :

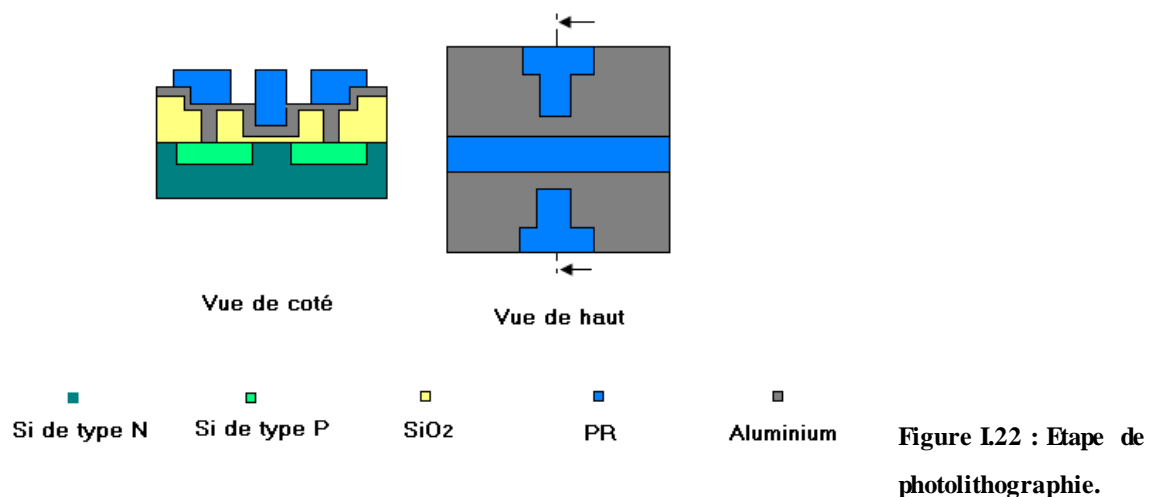


I.3.2.14. Métallisation:



I.3.2.15. Photolithographie 4:

La répétition de photolithographie cette fois est pour la séparation les trois électrodes (drain, source, grille)[7].



I.3.2.16. Gravure 4:

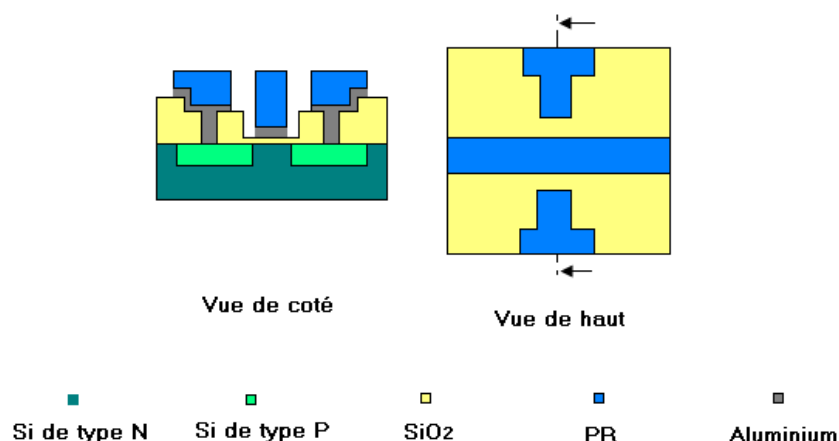


Figure L23 : Gravure du métal.

I.3.2.17. Composant final :

C'est la dernière étape dans la fabrication. Maintenant, on a notre MOSFET complet et disponible pour le tester [7].

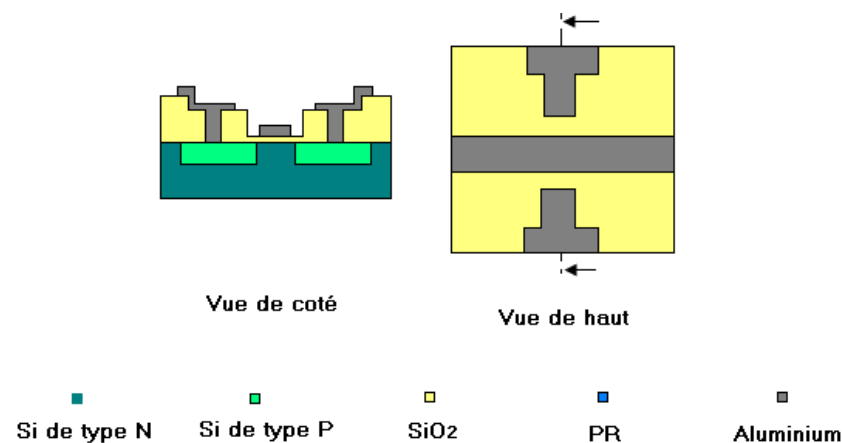


Figure L24: Composant final.

I.4. Conclusion :

L'objectif de ce premier chapitre était de rappeler le principe de fonctionnement du transistor MOSFET, de montrer les différents types en fonction du dopage du substrat (NMOSFET et PMOSFET) ou bien en fonction du mode d'opération (normally-off et normally-on).

Nous avons aussi parlé sur la technologie de fabrication des composants microélectroniques en générale, et nous avons énoncé les étapes clés qui rentrent dans la fabrication du MOSFET.

Chapitre II :

Les effets de la miniaturisation des MOSFET (problèmes et solutions)

II.1.Introduction :

Ce chapitre est décomposé en trois parties : la première partie est distinguée pour les effets parasites dues à la miniaturisation du MOSFET. Dans la seconde partie, nous exprimons les solutions classiques qu'on peut utiliser pour améliorer les performances du transistor et réduire ces effets. La dernière partie, nous parlerons sur les solutions non conventionnelles par élaboration de nouvelles technologies et architecture du MOSFET dans le but de contrôler au mieux les effets parasites.

II.2. Effets parasites du transistor MOSFET submicronique :

La réduction des dimensions aux échelles nanométriques implique des effets parasites de plus en plus importants. Ces effets viennent limiter les gains de performances apportés à chaque nouvelle génération. La réalisation d'un transistor MOS se complexifie et nécessite l'introduction d'un nombre croissant d'innovations technologiques et d'étapes de fabrication. Toutes ces étapes et complications augmentent donc le coût et la durée de mise au point des nouvelles générations de technologie CMOS et limitent leurs performances [9].

II.2.1. Les effets canaux courts

- **Effet SCE :** La diminution de la longueur de grille entraîne une augmentation du courant de fuite I_{OFF} . Ceci est dû à des effets de couplage électrostatique entre la source et le drain sur les transistors de faible longueur de grille. En effet, les zones de charge d'espace (ZCE) des jonctions, source/substrat et drain/substrat, s'étendent principalement dans le substrat (dopage faible). En réduisant la longueur de grille, elles se rapprochent de plus en plus jusqu'à ce qu'elles se recouvrent en partie. À ce moment, la charge de déplétion dans le canal de conduction est en grande partie contrôlée par les jonctions et non par la grille. Dans un transistor long, le champ vertical de grille commence par désertir le canal et réalise ensuite l'inversion. Ici, la déplétion étant déjà induite par les jonctions, l'inversion sera atteinte plus vite en fonction de V_{gs} . Cet effet canal court (ou SCE pour *Short Channel Effect* en anglais) se traduit alors par un abaissement de la barrière entre source et drain et donc par une baisse de la tension de seuil mesurée en régime non saturé [2].

- **Effet DIBL :** A forte polarisation de drain ($V_{ds} > V_{d_sat}$), un autre phénomène se manifeste. C'est l'effet DIBL (*Drain Induced Barrier Lowering*). Il se traduit par une réduction de la hauteur de barrière source/substrat à fort V_{ds} induisant également une diminution de la tension de seuil. Il en résulte une augmentation du courant de drain avec la tension de drain en régime de saturation. L'effet d'abaissement de la barrière de potentiel induit par le drain a été largement étudié durant les deux dernières décennies. Cependant, il est toujours d'actualité en raison de la réduction constante des dimensions des dispositifs.

Dans les MOSFETs à canal court, les zones de diffusion de source et de drain sont proches ce qui entraîne une pénétration importante du champ électrique du drain vers la source.

La barrière de potentiel à la source peut donc être réduite en raison de cette influence du drain. L'importance de cet effet dépend, bien sûr, de la longueur de canal mais également de la profondeur de jonction ou encore du dopage. La conséquence de l'abaissement de la barrière de potentiel de la source est une injection d'électrons de la source entraînant une augmentation du courant de drain. De plus, l'abaissement non contrôlé de la barrière provoque une chute de la tension de seuil et une augmentation des courants de fuite [2].

II.2.2. Les résistances séries :

Dans un transistor long, les résistances séries sont négligeables, car la résistance principale est celle du canal et non des zones d'accès (source et drain); mais ceci n'est plus vrai lorsque nous réduisons les dimensions. L'augmentation de ces résistances parasites génère une chute de potentiel de S/D et G/S par conséquent une dégradation du courant de S/D. les performances du transistor diminuent par rapport au cas idéal [11].

II.2.3. Déplétion de grille et quantification des porteurs de la couche d'inversion :

Définition de l'EOT :

De la même manière que les bandes énergétiques de conduction et de valence du canal se courbent sous l'effet d'une polarisation de grille, ce phénomène se produit dans le matériau de grille, le poly silicium, entraînant alors une déplétion comme dans tous matériaux semi-conducteurs. Le poly silicium (polySi) est extrêmement dopé, jusqu'à la limite de solubilité des dopants, en conséquence, la profondeur de déplétion est très réduite et vaut au minimum 4\AA . Cette couche déplétée agit donc comme un isolant et

a pour effet d'augmenter l'épaisseur effective du diélectrique de grille. Pour pouvoir faire la comparaison avec un oxyde SiO_2 pur, la notion d'EOT (Equivalent Oxide Thickness, ou épaisseur d'oxyde pur équivalente) est utilisée [2].

II.2.4. Les fuites de grille :

La réduction de l'épaisseur de l'oxyde de grille reste un des principaux leviers pour améliorer les performances. Le couplage capacitif entre grille et canal est intensifié ce qui augmente la densité de charge d'inversion et donc le courant de saturation. La silice, SiO_2 , est l'oxyde de grille naturel et de référence qui a rendu possible le succès fulgurant du silicium comme matériau de base de la microélectronique. Pour des épaisseurs supérieures à 20\AA , le courant qui traverse l'oxyde, sous l'action du champ vertical de grille et par effet tunnel, reste trop faible pour dégrader le courant de fuite global du transistor, I_{OFF} . Les premiers signes de faiblesses du SiO_2 se manifestent en dessous de 20\AA car le courant tunnel devient la principale composante du courant I_{OFF} . En dessous de 10\AA , outre les problèmes de réalisation technologique, la fuite par la grille est de l'ordre de grandeur du courant de saturation[2].

II.3. Repousser le bulk jusqu'à ses dernières limites :

II.3.1. Améliorer le contrôle des effets canaux courts :

La transformation "tension-dopage" développée par SKOTNICKI permet d'obtenir des expressions analytiques des effets canaux courts en les reliant assez simplement aux principaux paramètres technologiques du transistor[2].

II.3.2. Augmentation locale du dopage canal : implantation des poches :

En réduisant la profondeur de la ZCE des jonctions source/canal et drain/canal ; le moment où les ZCE se recouvriront est retardé. La ZCE s'étend principalement dans le canal à cause de son faible dopage en comparaison de la source et du drain. Pour réduire l'extension de la zone déplétée, il suffit donc d'augmenter le dopage du canal.

Cette augmentation du dopage canal doit être effective uniquement sur transistor court et ne pas affecter la tension de seuil d'un transistor long. A cette fin, des implantations ioniques de dopants du même type que le canal sont utilisées. Elles sont auto-alignées avec la grille afin d'être localisées autour des extensions, d'où le nom de "poche" .Sur le même principe, des "halos" sont implantés plus profondément (plus forte énergie) de manière à réduire l'extension des ZCE sous le canal de conduction afin de

réduire les risques de perçage volumique (création d'un canal de conduction parasite et enterré, non contrôlé par la grille) [2].

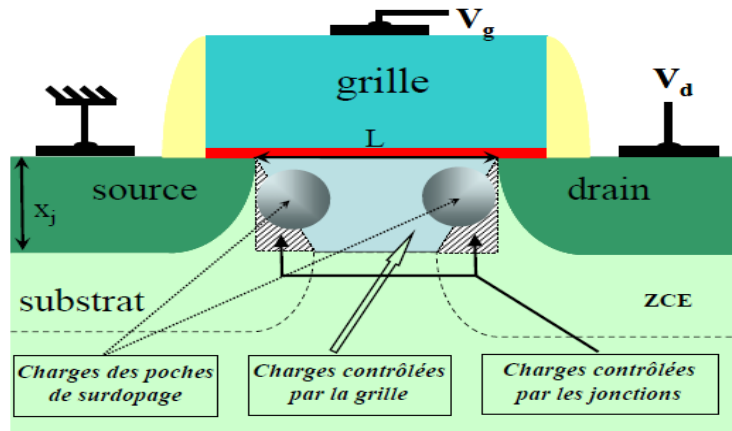


Figure II.1: Effet des poches sur le partage de charge [10].

II.3.3. Limiter la diffusion des extensions : jonctions ultra fines et recuits rapides :

L'apparition des effets canaux courts est directement liée à la proximité des extensions de chacune des jonctions et donc, à la longueur de grille électrique L_{eff} . Plus L_{eff} diminue et plus les effets canaux courts sont amplifiés. Augmenter L_{eff} constitue donc un moyen supplémentaire pour améliorer le contrôle. Or, ce sont donc les extensions et leur diffusion latérale qui déterminent L_{eff} , notamment à travers le principal paramètre technologique lié aux extensions, X_j . La profondeur des extensions contribue à L_{eff} par deux mécanismes distincts. Tout d'abord, X_j est directement proportionnel à la diffusion latérale des extensions, plus il sera faible, plus la diffusion ΔL sera limitée et plus L_{eff} sera élevée.

Des espaceurs sont aussi couramment utilisés pour absorber une partie de la diffusion latérale et ainsi limiter ΔL . Ensuite, plus X_j sera faible, et plus les lignes de champ électrique entre source et drain seront grandes, augmentant ainsi L_{eff} . En réduisant X_j , L_{eff} est augmentée, et ces deux effets participent à limiter les effets canaux courts.

En plus de l'implantation, il faut que les dopants soient insérés en site substitutionnel afin d'être électriquement actifs. C'est le rôle des recuits thermiques qui sont également responsables de la diffusion des dopants à cause des budgets thermiques mis en jeu. Le principe général de toutes les techniques de recuit actuellement en développement est donc de monter très rapidement à haute température pour activer les dopants, l'ensemble de l'opération devant être le plus bref possible afin de limiter la diffusion[2].

II.4. Améliorer le courant de saturation :

II.4.1. Supprimer la déplétion de grille : introduction de la grille métallique

Un EOT faible permet un meilleur contrôle des effets canaux courts, mais l'amélioration de l'EOT constitue en soi un objectif propre car il permet d'augmenter le courant de saturation. Dans le cas du poly silicium de grille, la suppression de la déplétion n'est pas réalisable, car même en dépassant le seuil de solubilité de dopants dans le polySi, la déplétion reste de l'ordre de 4Å. De plus, l'excès de dopants, surtout dans le cas du bore, peut traverser l'oxyde de grille et contre-doper le canal.

L'utilisation d'un matériau métallique pour la grille est donc une solution radicale et sera vraisemblablement introduite en production d'ici la fin de la décennie. Outre le fait qu'un tel matériau, de part de sa nature métallique, supprime la déplétion dans la grille, il est aussi synonyme de nombreuses améliorations [2].

- Diminution de la résistance des lignes de grille, intéressant pour réduire le délai de propagation du signal dans les applications haute-fréquence (RF).
- Possibilité d'ajuster la tension de seuil.

II.4.2. Limiter les fuites de grille : les diélectriques à haute permittivité

Pour faire face à l'augmentation des courants de fuite par effet tunnel, tout en maintenant un EOT performant, les diélectriques à haute permittivité (*High K*) sont la solution la plus simple. Les *High K* à base d'hafnium (Hf) sont les plus étudiés (HfO₂, HfSiON ou Hf_{1-x}Si_xO₂) et leur permittivité vaut $K=\epsilon\sim 20$ contre $\epsilon=3.9$ pour la silice. Ainsi, pour un EOT de 10Å, l'épaisseur de HfO₂ nécessaire sera de $EOT*20/3.9$, soit environ 50Å. L'épaisseur du diélectrique ayant un effet exponentiel sur le courant tunnel, l'intérêt des *High K* est évidente.

En pratique, l'intégration de ces matériaux dans un procédé de fabrication classique est retardée par quelques points noirs à la fois technologiques et théoriques. Un des principaux freins technologiques est que le dépôt d'un *High K* nécessite la formation d'un oxyde "piédestal" (SiO₂), qui sert d'interface avec le substrat et mesure plus de 5Å d'épaisseur, limitant ainsi sérieusement la réduction de l'EOT. De plus, des réactions ont été observées entre certains *HighK* et le polySi au cours des recuits thermiques du procédé de fabrication. Cette option semble donc bien se coupler à la grille métallique. Plus simplement, il faut être capable de le graver et de le retirer sélectivement [2].

II.5. Introduction de contraintes mécaniques dans le canal de conduction :

Les propriétés électriques de silicium peuvent être modifiées par l'introduction de contraintes mécaniques dans le canal de conduction. Ces contraintes impactent alors les structures des bandes d'énergie du silicium et modifient les masses effectives des porteurs [11].

La mobilité de transistor est alors modifiée suivant l'équation ci-dessous :

$$\mu = \frac{q\tau}{m^*} \quad (\text{II.1})$$

II.6. Nouvelles architectures :

II.6.1. L'architecture SOI :

- **Le transistor complètement déplété (FDSOI) :** Une de ces nouvelles architectures est le transistor simple grille complètement déplété (FD, *Fully Depleted*). Ce transistor FD se distingue du MOS conventionnel ou bulk par son canal de conduction mince et isolé du substrat par une couche de diélectrique enterré (BOX, *BuriedOxide*). Il tire ainsi son nom du fait que dès l'inversion faible, la totalité du canal de conduction est déplétée, d'où l'utilisation d'un canal mince. A l'heure actuelle, il existe deux possibilités de fabriquer un tel transistor. Les substrats SOI (*Silicon On Insulator*, silicium sur isolant) ont ainsi été développés pour obtenir ces transistors. Ces substrats sont composés d'une couche de Si relativement mince isolée du substrat par un diélectrique. C'est donc la totalité de la zone active de la plaque qui est isolée, on parle alors de transistors FDSOI[2].

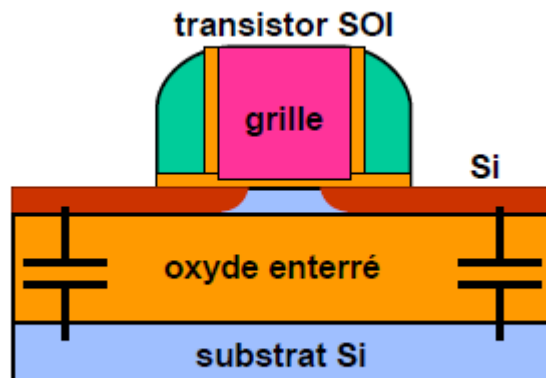


Figure II.2 : Transistor FDSOI [2]

La technologie SOI totalement déplétée, apporte une meilleure performance tant statique que dynamiques. En effet avec une profondeur de jonction et une épaisseur de déplétion limitées par l'épaisseur du film de silicium ($T_{Si}=X_j=T_{dep}$), nous obtiendrons un meilleur contrôle des effets canaux courts, une augmentation de la mobilité et une réduction des capacités et des fuites de jonctions. De plus, le contrôle de la grille sur film de silicium très mince conduit à une tension de seuil plus basse [2].

II.6.1.1. les avantages du SOI :

II.6.1.1.1. Uniformité de la couche active de silicium des plaques SOI :

Le FDSOI est donc très prometteur mais c'est son intégration technologique qui pose un certain nombre de problèmes, principalement liés aux substrats SOI et à la problématique des films minces de Si.

L'épaisseur T_{Si} du canal détermine la profondeur de déplétion, des variations de ce paramètre modifieront donc les caractéristiques électriques du transistor, en particulier la tension de seuil. Ce problème est particulièrement pertinent au sujet des plaques SOI. En effet, ces plaques aujourd'hui sont majoritairement obtenues par "*wafers bonding*" avec des procédés tels que le *Smart-cut*, utilisant le collage moléculaire entre deux plaques, et où l'épaisseur finale de la couche active de silicium est définie par polissage mécanochimique (CMP, *Chemical Mechanical Polishing*). Le résultat est une dispersion sur l'épaisseur de cette couche sur l'ensemble de la plaque, quelques nanomètres au mieux. Ce problème d'uniformité se répercute alors sur les caractéristiques électriques des dispositifs. La qualité des substrats ne cesse de s'améliorer, malgré tout, les épaisseurs visées de la zone active Si sont de plus en plus faibles, de l'ordre de 10nm, des non-uniformités de quelques nanomètres auront donc un impact fort. De plus, avec une telle mise en œuvre, les plaques SOI représentent un surcoût économique assez important, un argument de poids dans une perspective industrielle [2].

II.6.1.1.2. L'épaisseur de l'oxyde enterré :

Autre limitation actuelle, il est difficile également d'obtenir des plaques dont l'oxyde enterré est mince, ce qui est pourtant nécessaire pour encore améliorer le contrôle des effets canaux courts sur les dispositifs les plus petits. De plus, cet oxyde épais bloque l'évacuation de la chaleur générée dans le canal, ce qui provoque un effet d'auto-échauffement et dégrade les performances. Pour finir, il n'est pas possible d'augmenter le

dopage sous l'oxyde enterré pour réaliser un effet *ground-plane* qui permet aussi de réduire les effets canaux courts[2].

II.6.1.1.3.L'isolation latérale :

Cette fonction est assurée par le STI et son intégration est relativement simple sur un substrat standard. Sur SOI, la formation du STI entraîne une consommation latérale de l'oxyde enterré.

Dans des zones très denses, l'oxyde peut donc être entièrement vidé. L'isolation type LOCOS a donc été préférée pendant un temps, mais sa forme de "bec d'oiseau", responsable d'un effet de transistor parasite, est incompatible avec les intégrations denses. La tendance est donc de revenir au STI, mais son intégration nécessite encore beaucoup d'optimisations[2].

II.6.2. L'architecture SON :

Le transistor SON (*Silicon On Nothing*, silicium sur rien) constitue une alternative originale qui permet d'obtenir des transistors FD à partir de substrats bulk standards, ce qui est extrêmement intéressant en termes de coût. En l'occurrence, nous pouvons le SON se distingue du FDSOI par un oxyde enterré situé uniquement sous la grille et les espaceurs. Ainsi, seul le canal de conduction est isolé du substrat[2].

II.6.2.1. Les étapes technologiques principales du SON :

Le procédé de fabrication démarre par la réalisation conventionnelle de l'isolement latéral des transistors par des tranchées d'oxyde (Shallow Trench Isolation). Deux épitaxies sélectives de Silicium-Germanium (SiGe) et de Si sont ensuite réalisées, permettant de définir le canal de conduction du transistor et la future couche de diélectrique enterré (BOX), la couche enterrée de SiGe sert alors de couche sacrificielle (figure 2.2-1). Les étapes conventionnelles du transistor sont alors réalisées jusqu'aux espaceurs (figure 2.2-2). Les zones sources et drains sont alors gravées de façon auto-alignée, c'est la gravure des jonctions afin de pouvoir accéder à la couche de Si-Ge enterrée [2].

Une fois que l'accès au Si-Ge est ouvert, la couche enterrée de Si-Ge est gravée par un procédé isotrope et sélectif par rapport au Si, ce qui permet de créer un tunnel sous la grille et le canal de conduction, c'est l'étape majeure du procédé (figure 2.2-3). La

grille et le canal sont alors suspendus au-dessus de la zone active et sont supportés par le STI, d'où le nom de *Silicon On Nothing* (figure 2.2-6).

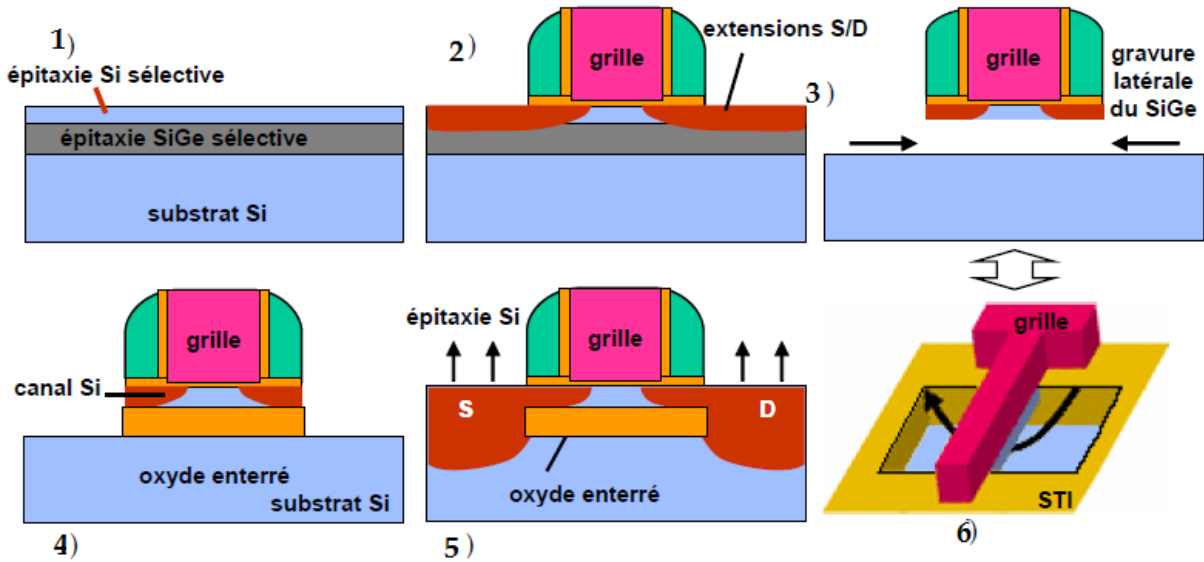


Figure II.3 : Description du procédé d'intégration des transistors SON [2].

Le tunnel est alors rempli avec un matériau diélectrique (de l'oxyde par exemple), et le fond des jonctions est alors nettoyé afin de laisser la couche d'oxyde uniquement sous le canal de conduction (figure 2.2-4). Dans le cadre de l'intégration de la grille métallique par la TOSI, c'est après cette étape que la profondeur des jonctions peut être facilement augmentée. En effet, comme le fond des jonctions est accessible, une implantation à basse énergie évitera que le siliciure ne perce la jonction. Une épitaxie sélective de silicium est alors réalisée pour reformer la source et le drain, en démarrant du fond des jonctions et des extrémités du canal de silicium, jusqu'à la réunification des extensions avec les zones source et drain (figure 2.2-5)[2].

II.7. Conclusion :

Nous avons exprimé que la réduction des dimensions de transistor MOSFET induit des effets parasites qui influent sur les performances du dispositif. Il existe pas mal de solutions pour améliorer et contrôler ces effets. Mais l'outil le plus important et notre objectif de cette mémoire : c'est l'amélioration des performances en utilisant les contraintes mécaniques.

Chapitre II : Les effets de miniaturisation du MOSFET (problèmes et solutions)

Nous allons mener par la suite une étude théorique à la base de la simulation ; afin de proposer un modèle simple prédisant l'augmentation de la mobilité dans les transistors courts.

Chapitre III :

Modélisation des effets de contraintes mécaniques sur la conductivité du canal

III.1. Introduction :

L'objectif de ce chapitre est de développer, à partir de la théorie de piézorésistivité et des équations du Courant du MOSFET, d'un modèle qui soit capable d'estimer au mieux les effets des contraintes mécaniques sur les paramètres électriques de ce composant. Pour cela, nous empruntons la théorie de piézorésistivité qui décrit l'effet des contraintes mécanique sur la résistivité des semi-conducteurs. Cette théorie repose sur la structure de bande d'énergie et la redistribution des porteurs de charge dans cette dernière sous l'effet d'une compression ou d'une tension mécanique.

III.2. Théorie de la piézorésistivité :

Depuis la découverte par SMITH [16] en 1954, de l'effet piézorésistif dans les matériaux cristallins à symétrie cubique tels que le Silicium et le Germanium, de nombreux travaux théorique et expérimentaux ont consacré à l'étude à cette important effet physique et aux développements qu'il induit dans de nombreux domaines d'applications. La variation de la résistance des dispositifs métalliques en raison d'une charge mécanique appliquée a été découverte par Lord Kelvin en 1856 [12].

Soit une résistance R de forme parallélépipédique de longueur L et de section S, constituée d'un matériau homogène de résistivité ρ_0 . La valeur de la résistance au repos est donnée par :

$$R = \rho_0 \frac{l}{s} \tag{III.1}$$

Soit la variation de sa résistance lorsqu'il est soumis à une contrainte axiale.

$$\frac{\Delta R}{R} = \frac{\Delta \rho}{\rho} + \frac{\Delta l}{l} - \frac{\Delta s}{s} \tag{III.2}$$

Le premier terme de l'équation (III.2) représente une variation de résistivité qui est très largement dominant dans le cas des semi-conducteurs : C'est l'effet piézorésistif

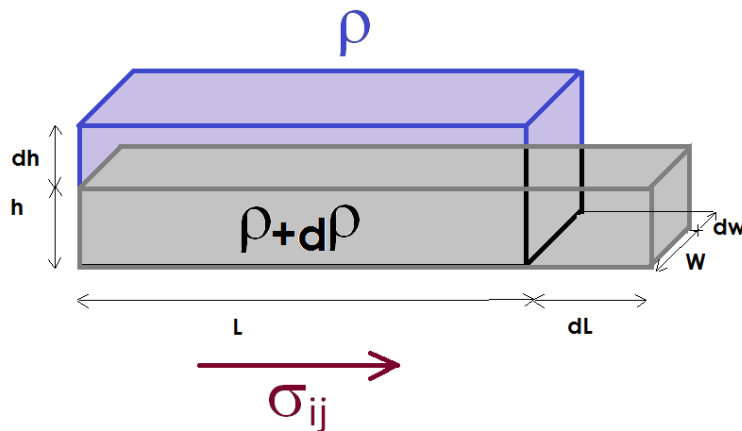


Figure III.1 : Illustration des changements géométriques d'une résistance parallélépipédique soumise à une contrainte quelconque.

III.3. Introduction à la physique du silicium contraint :

L'origine de la contrainte mécanique :

La contrainte mécanique est un atout technologique indispensable pour améliorer les performances des transistors CMOS. Actuellement, une large gamme de techniques permettant d'introduire et de contrôler le niveau de contrainte dans les canaux de conduction des transistors MOSFETs. Elle est apparue dans les procédés microélectroniques. La contrainte introduite par le procédé provoque une déformation du cristal, et modifie par conséquent les performances électriques [13].

Nous allons décrire l'effet d'une contrainte mécanique sur les propriétés du transport électronique dans le silicium. La démarche est la suivante : Le tenseur de piézorésistivité relie la contrainte appliquée à la variation de résistivité du matériau. Il décrit directement l'effet d'une contrainte mécanique sur les propriétés de transport électronique [14].

III.4. Modélisation de l'effet des contraintes sur la mobilité des porteurs de charges :

$$\frac{dR}{R} = \frac{\partial \rho}{\rho} + \frac{\partial l}{l} - \frac{\partial w}{w} - \frac{\partial h}{h} \quad (\text{III.3})$$

$$\vartheta = \frac{dh/h}{dl/l} = \frac{dw/w}{dl/l} \quad (\text{III.4})$$

Avec ϑ : coefficient de Poisson

$$\frac{dR}{R} = \frac{d\rho}{\rho} + \frac{dl}{l} (1 + \vartheta + \vartheta) \quad (\text{III.5})$$

$$\frac{dR}{R} = \sigma \pi + \frac{dl}{l} (1 + 2\vartheta) \quad (\text{III.6})$$

Avec Y le module de Young : $dl/l = \sigma / Y$

$$\frac{dR}{R} = \sigma \left(\pi + \frac{1+2\vartheta}{Y} \right) \quad (\text{III.7})$$

D'autre part, d'après la loi d'ohm :

$$V = RI \quad (\text{III.8})$$

$$V = \frac{\rho l}{s} I \quad (\text{III.9})$$

Par simplification :

$$\frac{V}{l} = \rho \frac{I}{s} \quad (\text{III.10})$$

Donc :

$$E_i = \rho_{ij} j_i \quad (\text{III.11})$$

$$\begin{pmatrix} E_x \\ E_y \\ E_z \end{pmatrix} = \begin{pmatrix} \rho_{xx} & \rho_{xy} & \rho_{xz} \\ \rho_{yx} & \rho_{yy} & \rho_{yz} \\ \rho_{zx} & \rho_{zy} & \rho_{zz} \end{pmatrix} \begin{pmatrix} j_x \\ j_y \\ j_z \end{pmatrix} \quad (\text{III.12})$$

Pour simplifier, et pour des raisons de symétrie cubique :

ρ_{xx}	ρ_{yy}	ρ_{zz}	$\rho_{yz} = \rho_{zy}$	$\rho_{xz} = \rho_{zx}$	$\rho_{xy} = \rho_{yx}$
$\Delta\rho_1$	$\Delta\rho_2$	$\Delta\rho_3$	$\Delta\rho_4$	$\Delta\rho_5$	$\Delta\rho_6$

En faisant ses expériences, Smith remarqua qu'en fonction de la direction d'application du champ électrique et du courant et celle de la contrainte mécanique, il pouvait distinguer trois coefficients différents :

$$\pi_{11} : \sigma // E // j$$

$$\pi_{12} : \sigma \perp (E // j)$$

$$\pi_{44} : (E \perp j) // \sigma$$

0 : autres cas

De là, le tenseur de piézorésistivité qui relie le tenseur des contraintes à celui de la variation relative de résistivité peut-être écrit sous la forme suivante :

$$\begin{pmatrix} \Delta\rho_1 \\ \Delta\rho_2 \\ \Delta\rho_3 \\ \Delta\rho_4 \\ \Delta\rho_5 \\ \Delta\rho_6 \end{pmatrix} \frac{1}{\rho} = \begin{pmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{pmatrix} \begin{pmatrix} \sigma_1 \\ \sigma_2 \\ \sigma_3 \\ \sigma_4 \\ \sigma_5 \\ \sigma_6 \end{pmatrix} \quad (\text{III.13})$$

En considérons que les composantes du champ et celle du courant suivant les directions y et z sont négligeable devant leurs composantes suivant x, il en résulte que :

$$\frac{\Delta\rho}{\rho} = (\sigma_1\pi_{11} + \sigma_2\pi_{12}) \quad (\text{III.14})$$

On connaît que la mobilité est donné par:

$$\mu = \frac{1}{qN\rho} \quad (\text{III.15})$$

q : charge élémentaire de l'électron.

N : concentration de dopants.

ρ : résistivité.

Delà on trouve :

$$\frac{\Delta\mu}{\mu} = -\frac{\Delta\rho}{\rho} \quad (\text{III.16})$$

Donc :

$$\frac{\Delta\mu}{\mu} = -(\sigma_1\pi_{11} + \sigma_2\pi_{12}) \quad (\text{III.17})$$

III.5. Les coefficients de piézorésistivité :

III.5.1. l'influence du dopage sur le coefficient piézorésistif :

Le dopage influe sur le coefficient de piézorésistivité. L'augmentation du dopage diminue la valeur du coefficient. A partir du dopage 10^{18} cm^{-3} le coefficient prend une chute. Dans l'intervalle $[10^{15}, 10^{17}]$; on peut dire que le coefficient de piézorésistivité est constant. De $[10^{17}, 10^{18}]$ une diminution légère. A partir 10^{18} , la diminution est remarquable.

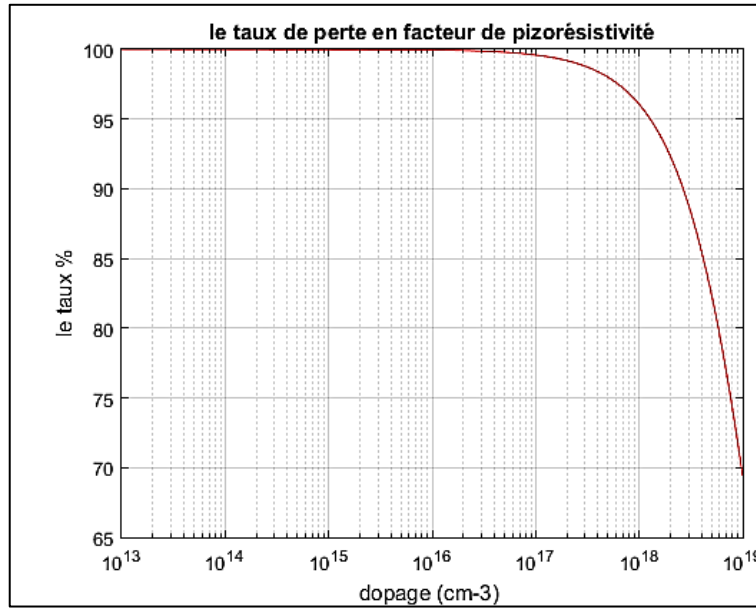


Figure III.2 : la courbe de taux de perte

Dopage (cm ⁻³)	10 ¹⁵	10 ¹⁷	10 ¹⁸	10 ¹⁹	10 ²⁰
Perte du π %	0	0,4	3,94	30,6	70

TAB III.1 : Valeurs de perte du π pour différents dopage

Les coefficients piézorésistif de silicium de type N sont plus sensibles à la variation de dopage que les coefficients de silicium de type P.

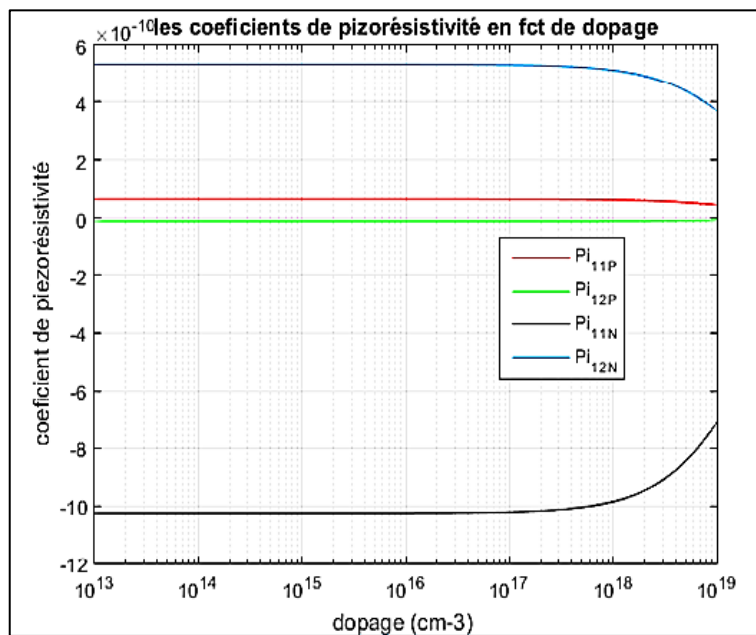


Figure III.3 : courbe des coefficients de piézorésistivité en fonction de dopage.

III.5.2. L'influence de la direction cristallographique sur le coefficient piézorésistif :

Pour un silicium de type P ; les coefficients π_{11} et π_{12} sont à leurs maximum dans la direction $\langle 110 \rangle$, par contre le coefficient π_{44} est nul dans cette direction. Dans la direction $\langle 100 \rangle$: π_{44} est toujours nul, les coefficients π_{11} et π_{12} existent mais de valeurs minimales.

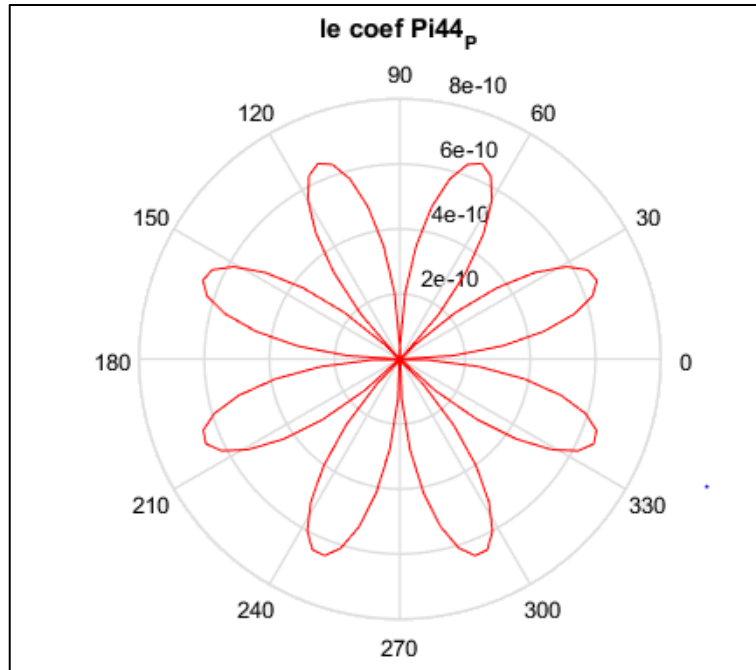


Figure III.4: Courbe de variation de π_{44} du Si-P

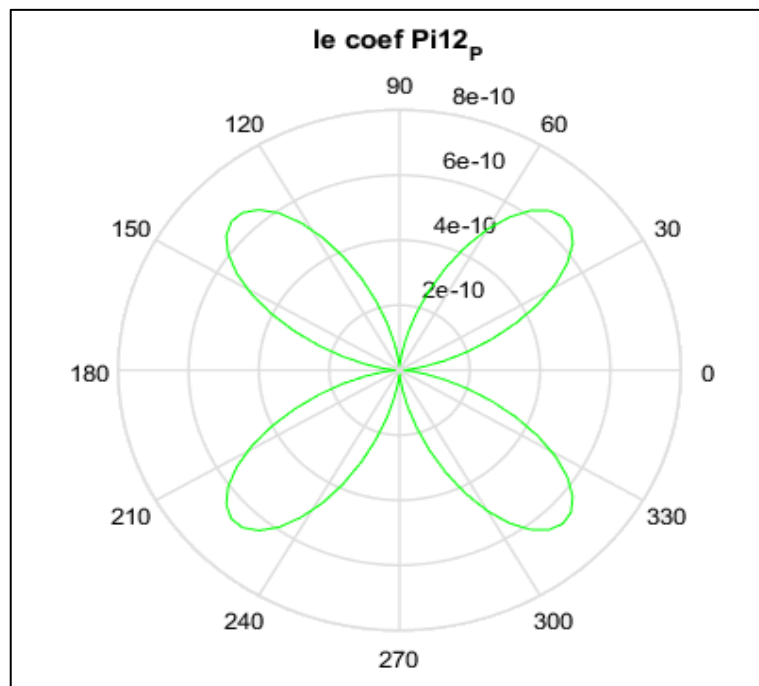


Figure III.5: Courbe de variation de π_{12} du Si-P

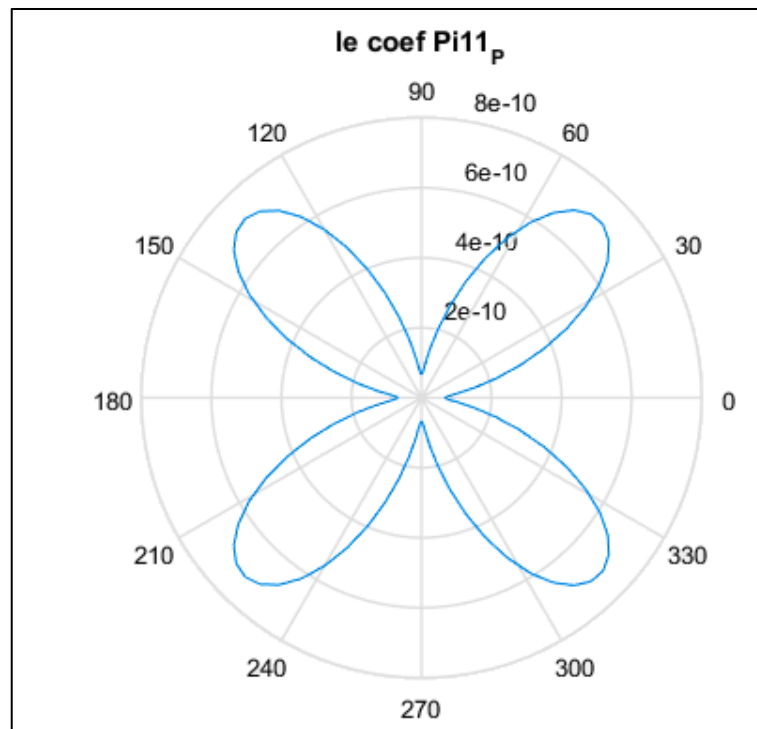


Figure III.6: Courbe de variation π_{11} de Si-P

Les valeurs de ces coefficients suivant les directions $\langle 100 \rangle$ et $\langle 110 \rangle$ sont résumées dans le tableau suivant :

coefficient	π_{11}	π_{12}	π_{44}
Direction $\langle 100 \rangle$	$6,6 \cdot 10^{-11}$	$-1,1 \cdot 10^{-11}$	$138,1 \cdot 10^{-11}$
Direction $\langle 110 \rangle$	$71,652 \cdot 10^{-11}$	$-66,152 \cdot 10^{-11}$	$-6,1977 \cdot 10^{-11}$

TAB III.2 : Valeurs de coefficient π_{ii} (Si-P)

Pour le silicium de type N ; les coefficients π_{11} et π_{12} sont à leurs minimum dans la direction $\langle 110 \rangle$, par contre le coefficient π_{44} est au maximum dans cette direction . Dans la direction $\langle 100 \rangle$: π_{44} est minimal, les coefficients π_{11} et π_{12} sont aux maximum.

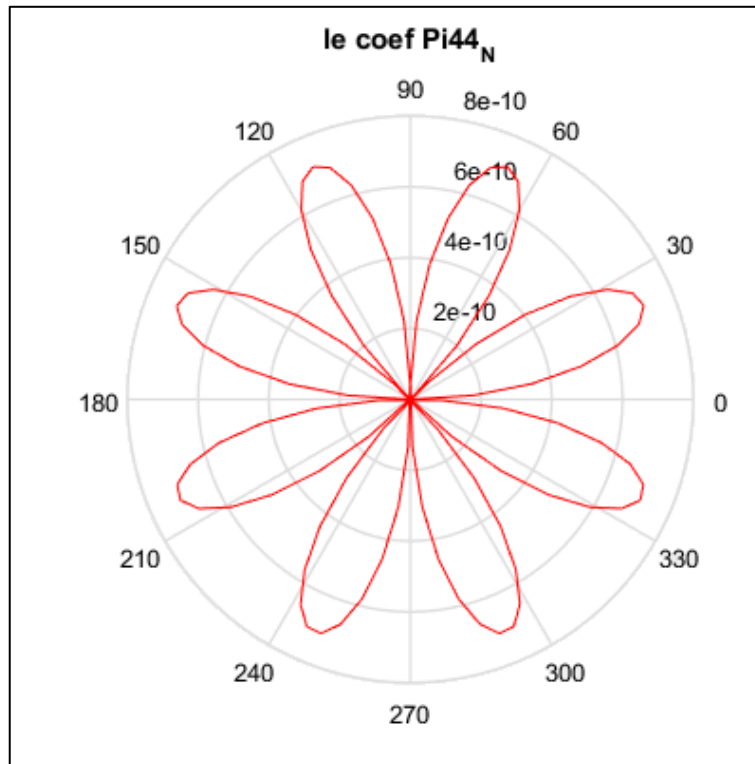


Figure III.7: Courbe de variation de π_{44} du Si-N

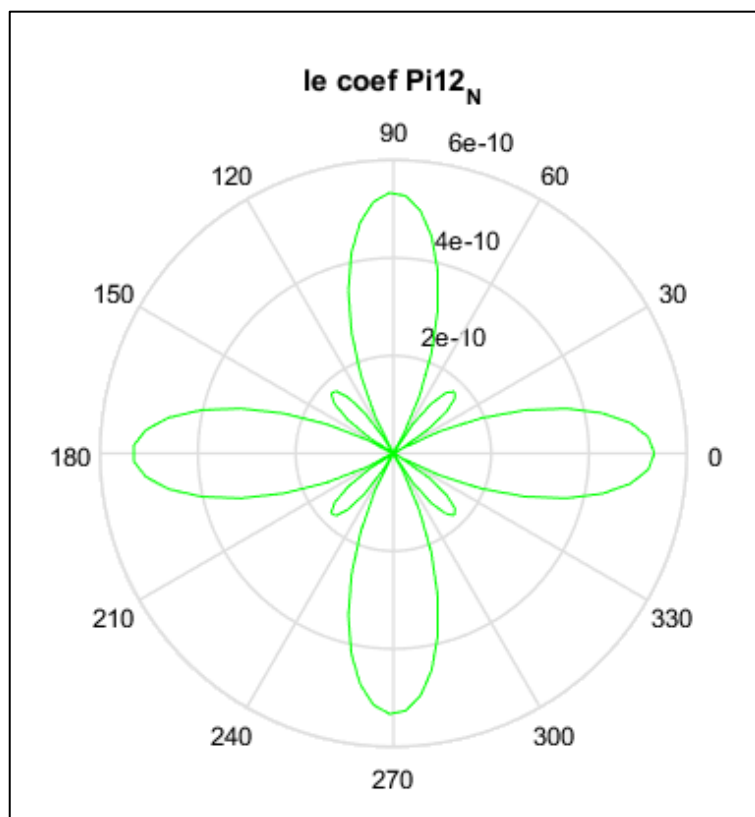


Figure III.8: Courbe de variation de π_{12} du Si-N

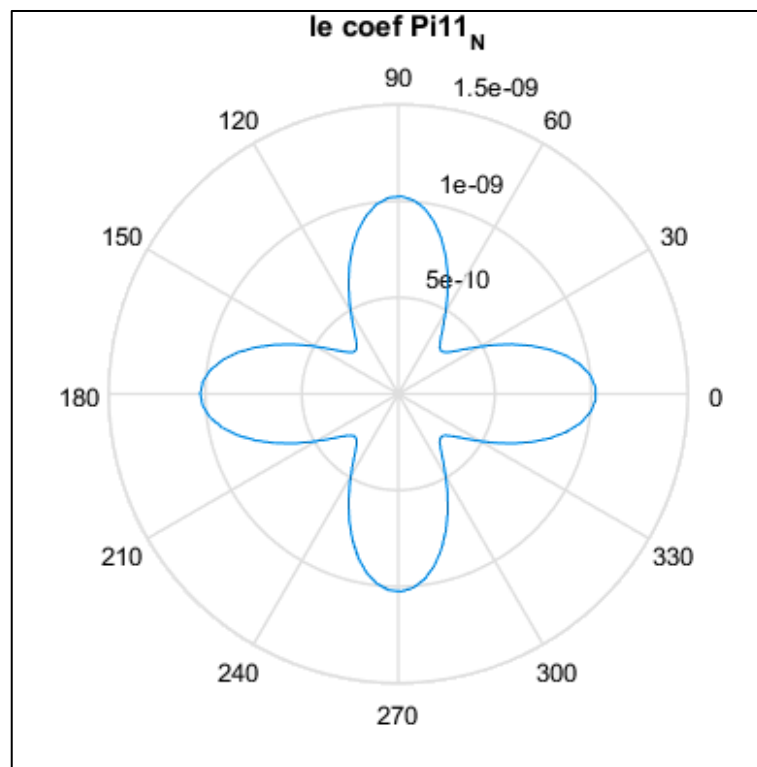


Figure III.9 : Courbe de variation de π_{11} du Si-N

coefficient	π_{11}	π_{12}	π_{44}
Direction <100>	$-102,1 \cdot 10^{-11}$	$53,4 \cdot 10^{-11}$	$-13,6 \cdot 10^{-11}$
Direction <110>	$-31,56 \cdot 10^{-11}$	$-17,64 \cdot 10^{-11}$	$6,77 \cdot 10^{-11}$

TAB III.3 : Valeurs de coefficient π_{ii} (Si-N)

Les valeurs de coefficients sont plus négatives pour la direction <100>. L'augmentation des coefficients dans le sens négatif permet de réduire la résistivité ; donc on assure l'amélioration de la mobilité.

On peut conclure par : pour faire notre étude, on doit exploiter les coefficients π_{11} et π_{12} au maximum. C'est-à-dire choisir la concentration de dopage faible (10^{15} cm^{-3}), la direction cristallographique <100> et le silicium préféré est de type N.

III.6. Résultats :

III.6.1. La mobilité en fonction du dopage :

L'augmentation de dopage abaisse le gain de la mobilité. Pour l'intervalle $[10^{13}, 10^{17}]$ le gain de la mobilité est constant. De $[10^{17}, 10^{18}]$ on a une dégradation d'environ 5%. A partir de 10^{18} , la diminution de la mobilité est conséquente.

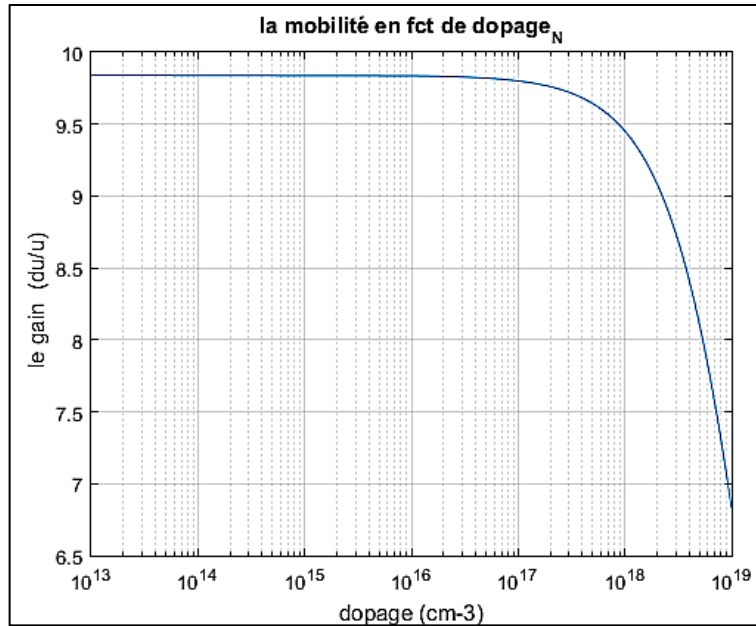


Figure III.10 : courbe du gain en mobilité en fonction de dopage

On remarque une réduction de la mobilité en augmentant le dopage. Le dopage influe sur les coefficients de piézorésistivité et par la suite sur le gain en mobilité ; car la dernière est en fonction des coefficients de piézorésistivité.

Donc pour négliger l'effet de dopage sur la mobilité .On choisira un intervalle de dopage entre 10^{14} jusqu'à 10^{16} .

III.6.2. L'influence de la contrainte sur la mobilité :

III.6.2.1. La mobilité en fonction des coefficients de silicium de type N :

En utilisant les coefficients piézorésistif du tableau TAB III.3 direction $\langle 100 \rangle$; la mobilité est en augmentation proportionnelle avec la contrainte.

L'amélioration de la mobilité est due aux coefficients piézorésistif. Pour une contrainte de 200 MPa, on aura un gain du 10%. On peut dire que la contrainte a un effet amélioratif sur la conduction.

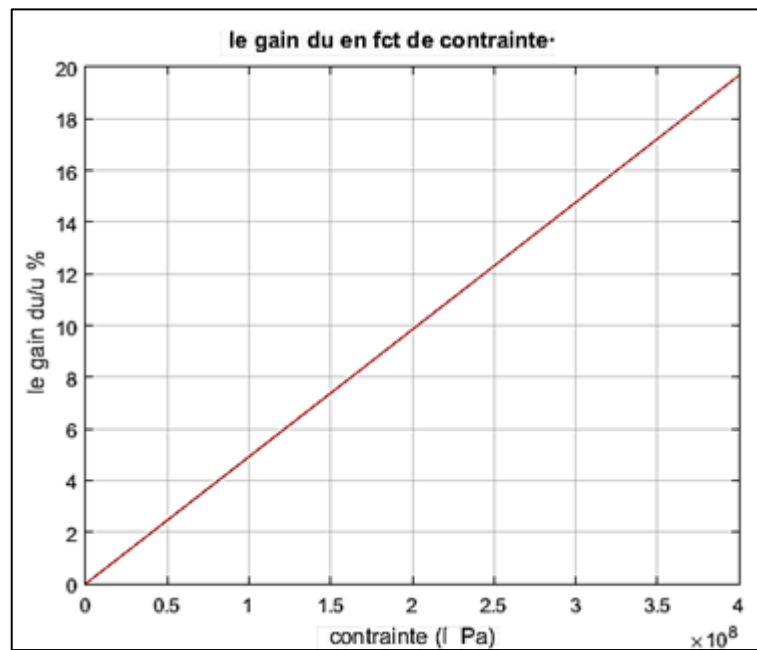


Figure III.11 : courbe du gain en mobilité en fonction de la contrainte (Si-N)

III.6.2.2. La mobilité en fonction des coefficients de silicium de type P:

On a une dégradation de la mobilité avec l'augmentation de la contrainte. Dans ce cas de figure, les contraintes ont un effet négatif sur la conduction du canal.

On compare nos résultats obtenus dans la figure III.11 par d'autres résultats trouvés dans la littérature [4]. On trouve que les valeurs sont très proches. Par exemple pour une contrainte de 200MPa :

- Dans la figure III.11, le gain est de 10% .
- Dans la figure III.13, le gain est de 13,5%.

Donc on peut valider notre modèle obtenue. Et par la suite d'implanter dans l'équation de courant ; afin de constater l'influence de contrainte.

On résulte que le silicium contraint de type P n'a aucun intérêt pour l'évolution de la mobilité car son gain est en dégradation par contre que le silicium de type N progresse la mobilité donc nous aide pour négliger les effets parasites de la réduction de la canal.

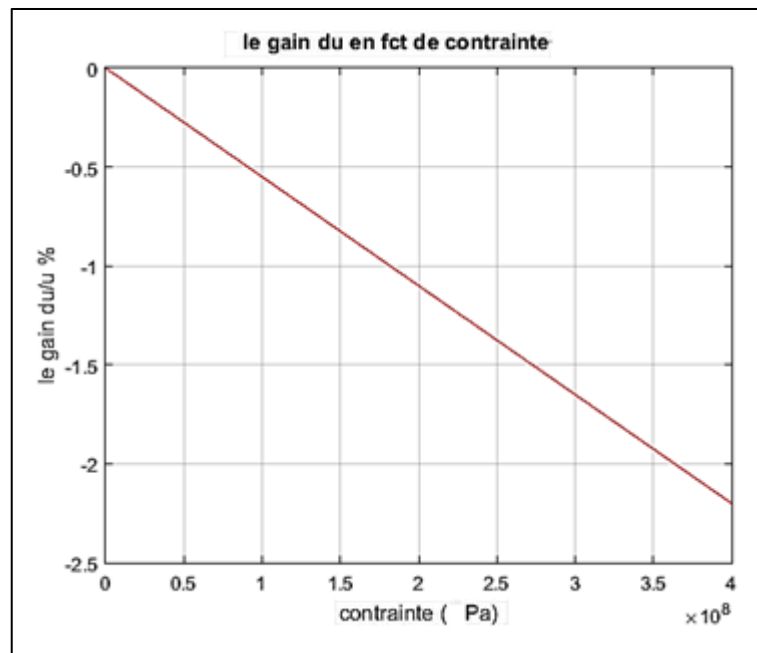


Figure III.12 : courbe du gain en mobilité en fonction de la contrainte (Si-P)

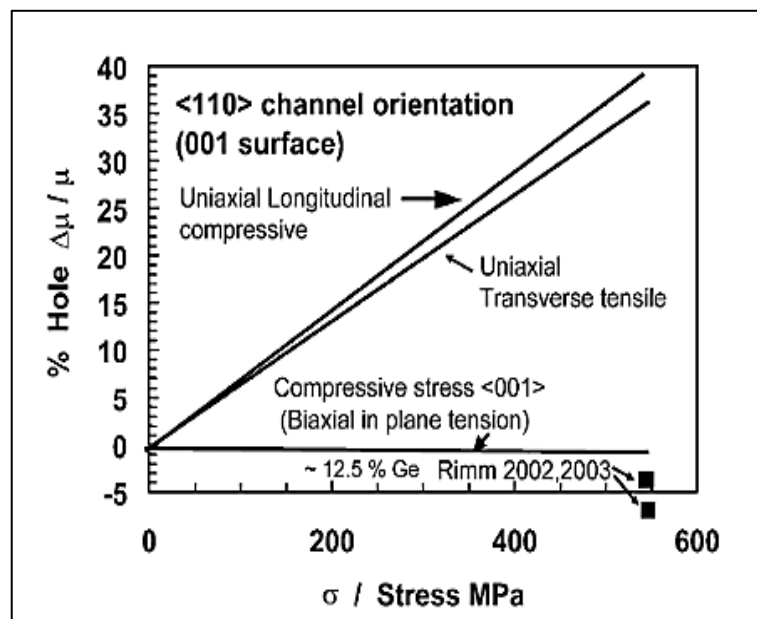


Figure III.13 : gain de mobilité en fonction de contrainte [15]

III.6.3. Les caractéristiques du courant :

III.6.3.1. Caractéristiques de courant d'un canal non contraint :

On constate une augmentation de courant de drain. L'accroissement de différence de potentiel de drain-source et de la grille augmente le courant.

On note que l'augmentation de V_{gs} affecte sur la transition de régime linéaire vers la saturation.

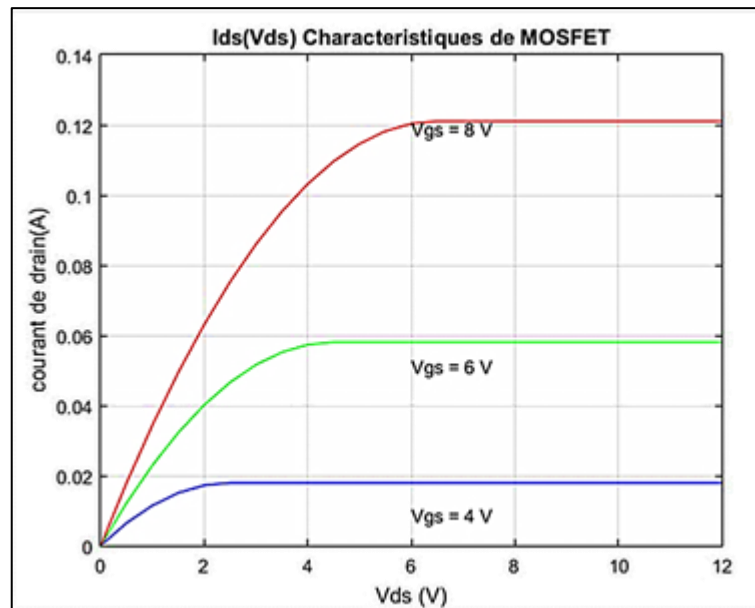


Figure III.14 : caractéristiques d' I_{ds} en fonction de V_{ds} pour différents V_{gs} .

III.6.3.2. Caractéristiques de courant d'un canal contraint (Si-N) :

On note une augmentation du courant par l'augmentation de la contrainte. L'augmentation de la contrainte dans un silicium de type N améliore la mobilité et par la suite perfectionne le courant car ce dernier est en fonction de la mobilité.

III.6.3.3. Caractéristiques de courant d'un canal contraint (Si-P) :

Les quatre caractéristiques sont superposées. L'augmentation de la contrainte ne change pas la caractéristique de courant. Donc la contrainte n'a aucun effet sur le silicium de type P.

Le silicium contraint de type N assure l'augmentation de la mobilité. Donc le silicium de type N est plus concient pour l'amélioration du courant que le silicium de type P.

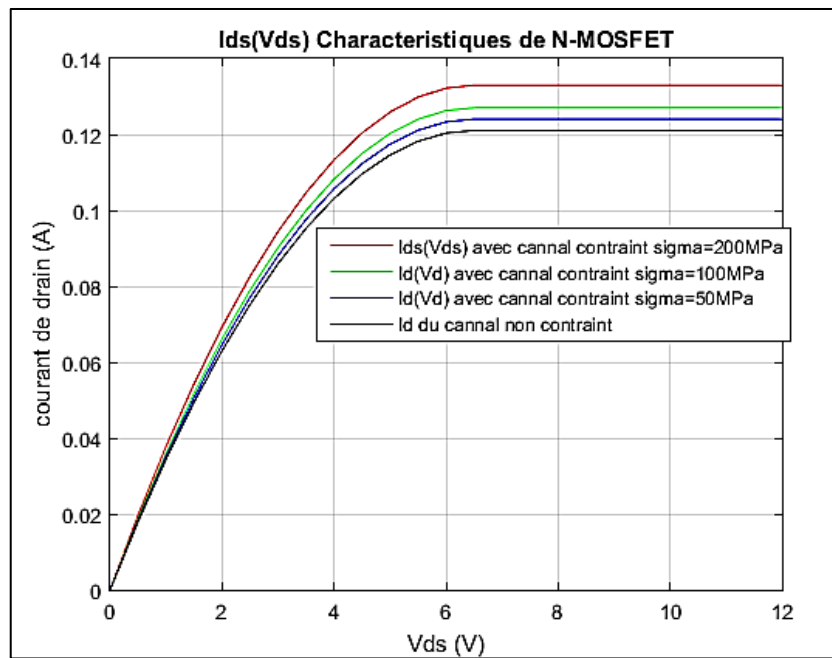


Figure III.15 : caractéristiques d' I_{ds} en fonction de V_{ds} pour différentes contraintes de N-MOS

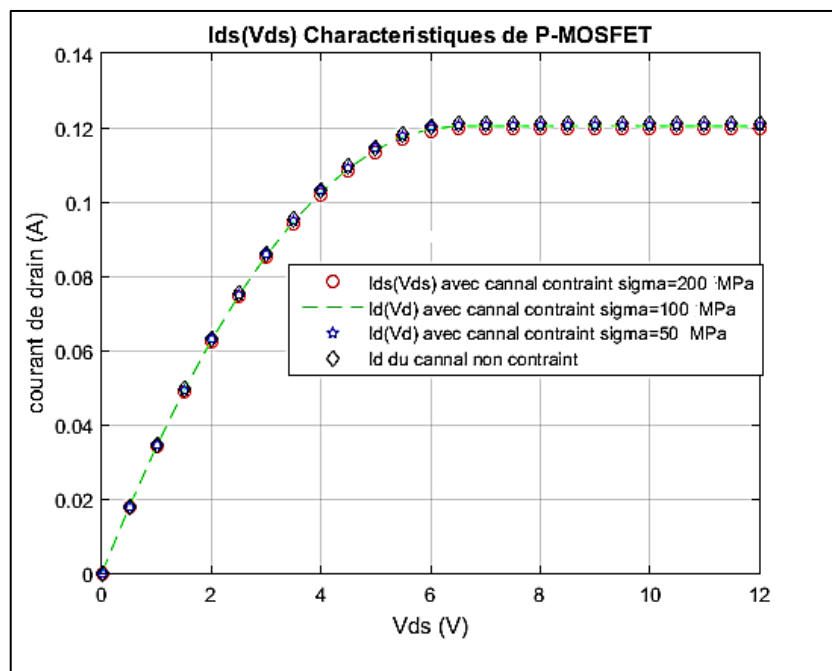


Figure III.16 : caractéristiques d' I_{ds} en fonction de V_{ds} pour différentes contraintes de P-MOS

III.6.3.4. L'influence de dopage sur la caractéristique de courant d'un P-MOSFET :

Les trois caractéristiques sont superposés . Il y a une diminution que la caractéristique originale mais elle est faible.

La superposition des caractéristiques représente que la variation de dopage n'a aucun effet sur le courant .

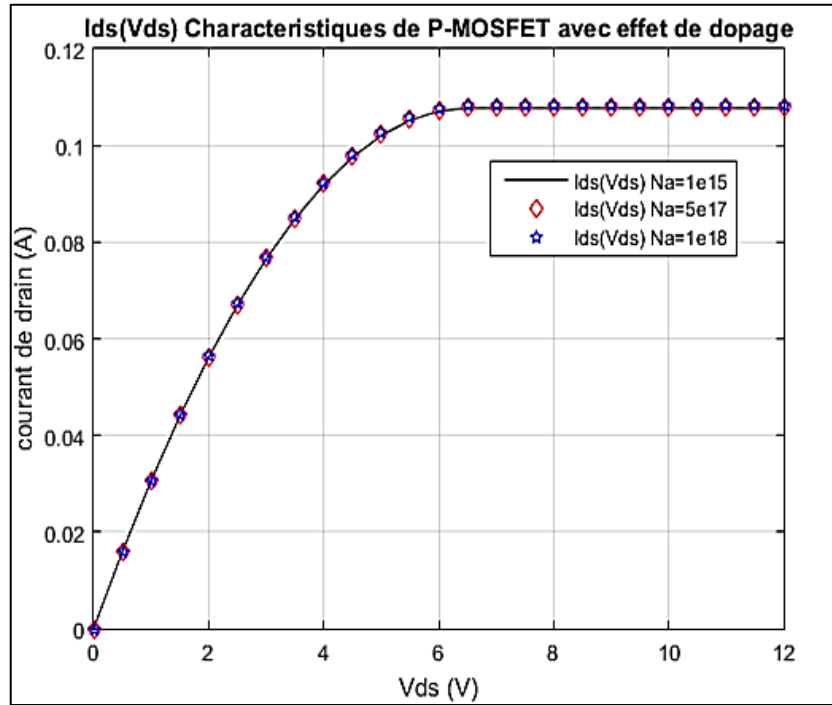


Figure III.17 : courbe d'I_{ds} en fonction de V_{ds} pour différents dopage de P-MOSFET

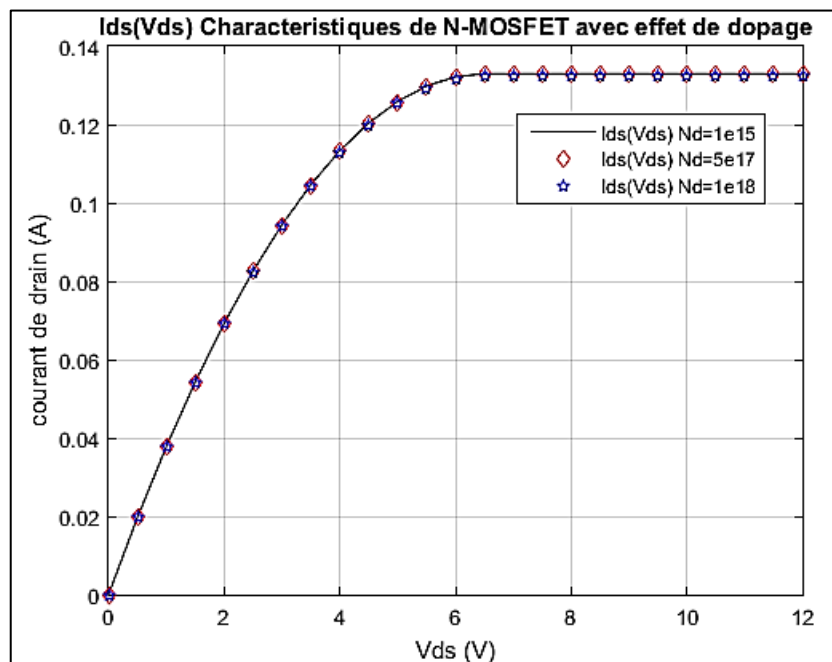


Figure III.18 : courbe d'I_{ds} en fonction de V_{ds} pour différents dopages de N-MOSFET

III.6.3.5. L'influence de dopage sur la caractéristique de courant d'un N-MOSFET :

Les caractéristiques sont disposé l'une au-dessous de l'autre. il y a une augmentation que la caractéristique originale mais elle est léger.

Le chevauchement des caractéristiques indique que l'accroissement de dopage n'influe pas sur le courant.

On distingue que le changement dopage (cas de faible dopage) n'a aucun effet sur la caractéristique du courant. Le dopage ce n'est un outil amélioratif.

III.7. Conclusion :

Pour mettre en œuvre l'effet de contraintes mécanique dans le canal du MOSFET, nous avons suivi une démarche simple basée sur l'étude du comportement de la contrainte créé par procédé technologique (SiGe-Si) sur la mobilité des porteurs de charge.

Nous avons d'abord mis en évidence l'effet de dopage et les directions cristallographiques sur les coefficients piézorésistive. On a sortie par un résultat que l'augmentation de dopage abaisse la valeur de coefficients et la meilleure direction est $\langle 100 \rangle$ plus que le silicium contraint qu'on peut utiliser est de type N. Puis on a étudié l'effet de la contrainte sur la mobilité et on a découvert que l'augmentation de la contrainte améliore le gain en mobilité et par la suite accroit le courant. Nous avons vu qu'en faible concentration, le dopage n'affecte pas sur le courant.

La comparaison des résultats, par d'autre travaux, a montré la validité de notre modèle théorique adopté tout au long de cette étude et nous a permis de trouver un moyen simple pour améliorer les caractéristiques du transistor MOSFET pour compenser les effets de canal court.

Conclusion générale

Conclusion générale

Notre travail a consisté à l'étude de l'effet des contraintes mécaniques sur les propriétés électroniques des transistors MOSFET nanométriques.

La miniaturisation de ce composant (ou bien la réduction de la taille de son canal) pose plusieurs problèmes dont le plus important est le courant de fuite qui influe sur les performances du transistor. Pour cela on a pensé comment on peut améliorer les performances à travers l'amélioration du rapport I_{on}/I_{off} en utilisant les contraintes mécaniques.

Dans le premier chapitre, on a présenté le MOSFET, ses régimes de fonctionnement et les procédés utilisés pour la technologie de fabrication des CMOS.

Pour le deuxième, on a exposé les complications rencontrées quand la taille du canal baisse. Ces effets parasites vont altérer les paramètres du composant (abaissement du rapport I_{on}/I_{off}). On doit donc chercher des solutions pour remédier à ce problème. Il existe plusieurs solutions comme le changement de l'architecture du MOSFET (SON et SOI). Cependant, ces solutions sont trop complexes et coûteuses. Pour cela, nous avons utilisé un autre moyen qui est l'utilisation d'un MOSFET à canal contraint.

Le dernier chapitre a été destiné pour la modélisation des effets des contraintes mécaniques sur l'équation du courant I_{ds} à partir de la théorie de piézorésistivité. Nous avons donc développé un modèle mathématique qui décrit l'influence des contraintes sur la mobilité. Les résultats qu'on a trouvés sont raisonnables par comparaison avec d'autres travaux.

Enfin, on a pu voir qu'on a assuré la réduction des effets de canal court en utilisant les contraintes mécaniques. Pour un choix judicieux du type de dopage et d'orientation cristallographique, on peut améliorer le courant de saturation en utilisant un canal précontraint.

Un gain d'environ 20% dans le courant de saturation est facilement obtenu en utilisant un N-MOSFET dont le canal est faiblement dopé (10^{17} cm^{-3}) et cristallisé dans la direction $\langle 110 \rangle$.

Bibliographie

- [1] **BENHAMIDA Yahia**, « Etude des caractéristiques physiques et électriques », mémoire de magister, p7-21, 2012.
- [2] **CHANEMOUGAME Daniel**, « Conception et fabrication de nouvelles architectures CMOS et étude du transport dans les canaux de conduction ultra minces obtenus avec la technologie SON », thèse de doctorat, p19 et 28-42,2005.
- [3] **BENNABI Maamar**, « Etude et simulation d'un nano-mosfet double grille », mémoire de magister, p 11-12,2009.
- [4] **OTMANI Radouane**, « Etude et modélisation d'un transistor NMOSFET par la méthode des éléments finis », mémoire de l'ingénieur, p35-40 ,2006.
- [5] **CHOVET Alain & MASSON Pascal**, « Cours de Physique du Semi-conducteur » ,p 6.
- [6] https://cmi.epfl.ch/thinfilms/Tube_2-2.htm
- [7] **OTMANI Radouane**, « Cours de technologie de fabrication du transistor MOSFET », Université de Tlemcen, 2007.
- [8] www.wikipidia.com
- [9] **LITTY Antoine** ,« Conception, fabrication, caractérisation et modélisation de transistors MOSFET haute tension en technologie avancée SOI (Silicon-On-Insulator) », thèse de doctorat, p 20-29, /2/ 2016.
- [10] **ROMANJEK Kruno**, « Caractérisation et modélisation des transistors CMOS des technologies 50nm et en deçà », thèse de doctorat 40, 1 /3/ 2010.
- [11] **HAN Xiang-Lei** « Réalisation et caractérisation de dispositifs MOSFET nanométriques à base de réseaux denses de nano fils verticaux en silicium », thèse de doctorat, p 32, 2011.
- [12] **KEMOUCHE Salah**, « Simulation Thermomécanique de Capteurs de Pression au silicium Pour des Applications Biomédicales », mémoire de magister, 22, 30/1/2014.
- [13] **IDRISSI EL OUDRHIRI Anouar**, « Compréhension de l'apport des contraintes mécaniques sur les performances électriques des transistors avancés sur SOI », thèse de doctorat, p 24, 20/7/ 2016.

Bibliographie

- [14] **ROCHETTE Florent** , « Étude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées », thèse de doctorat, p 53, 26/9/2008.
- [15] **E. THOMPSON et al**, A 90–nm Logic technology Featuring Strained-Silicon, IEEE TRANSACTION ON ELECTRON DEVICES, Vol. 51, p 1790-1797, 2004.
- [16] **C. S. Smith**, Piezoresistance effect in Germanium and Silicon, Physical Review, Vol. 94, n 1, P 42, April 1954.

ملخص:

تتوجه تكنولوجيا الإلكترونيك الدقيقة دائما إلى التصغير أكثر فأكثر في صناعة الترانزستور MOSFET. هذا التقدم في القدرة على التصغير سمح بتخفيض كلفة إنتاج الأجهزة الإلكترونية ورفع قدراتها بالإضافة إلى خفض استهلاكها للطاقة. غير أن هذا التصغير خلق العديد من المشاكل والتأثيرات السلبية في عمل الترانزستور. من بين هذه المشاكل نجد تأثير قصر القناة (SCE) و ظاهرة (DIBL) وظاهرة المقامات المتسلسلة.

للحد من هذه التأثيرات السلبية اقترحت حلول عديدة من بينها تغيير تقنيات صناعة الترانزستورات. من بين هذه التقنيات نذكر تقنية FD-SOI و تقنية SON اللتان لا تخلوان من العديد من التعقيدات التكنولوجية.

لهذا السبب اقترح حل آخر للحد من ظواهر القناة القصيرة وهو استعمال التقنية التقليدية للترانزستورات ولكن بقناة مضغوطة بطرق تكنولوجية مبتكرة كوضع طبقات من مزيج السليسيوم والجرمانيوم (Si-Ge) تحت القناة. في هذه المذكرة سنناقش تأثير هذه الضغوطات الميكانيكية في تحسين خصائص النقل في قناة التوصيل الجد قصيرة.

الكلمات المفتاحية: تأثير القناة القصيرة, تقنية SON, MOSFET, FD-SOI

Résumé :

L'industrie de la microélectronique s'oriente toujours de plus en plus vers la miniaturisation des transistors MOSFET. Ce progrès de miniaturisation est accompagné par la réduction de la taille des transistors élémentaires. Cependant, cette miniaturisation a créée plusieurs effets parasites parmi eux : DIBL, SCE et même des résistances série.

Pour contrer ces effets parasites, de nouvelles architectures FD-SOI et SON sont proposées. Sauf que ces dernières ne sont pas sans effet sur la difficulté technologique.

Une autre solution est alors proposée pour repousser les limites de l'architecture conventionnelle du MOSFET, en utilisant des transistors à canal contraint par procédé technologique. Dans ce mémoire, nous évaluons l'effet des contraintes mécaniques pour améliorer les propriétés du transport dans les canaux de conduction ultra-courts.

Mots clés : MOSFET, Effet canal court, FD-SOI, Architecture SON, contraintes mécaniques, Ansys, Matlab.