

I.1 Introduction

La synchronisation est une unité très importante dans le contrôle des convertisseurs de puissance. Cette unité est responsable de l'exécution d'une série d'activités afin que le convertisseur et le réseau principal puissent fonctionner de manière sûre et efficace en parallèle suivant les exigences de la CEI et les standards en vigueur. Les informations fournies par l'unité de synchronisation peuvent également être utilisées pour le monitoring. Ces dernières années, de nombreuses études ont été menées pour concevoir des techniques plus efficaces pour les applications en triphasées. Le but de ce chapitre est de faire une liste non exhaustive de ses études afin de faire la lumière sur les différentes contraintes d'utilisation leurs avantages et leurs inconvénients et nous permettre de faire le meilleur choix dans la suite de notre étude

I.2 Classification des techniques de synchronisation

Les techniques de synchronisation dans les convertisseurs de puissance peuvent être globalement classées en approches en boucle ouverte et en boucle fermée. Les méthodes de synchronisation en boucle fermée (CLS) sont les approches dont la mise en œuvre implique de renvoyer un ou plusieurs signaux. Les boucles à verrouillage de fréquence (FLL) et les boucles à verrouillage de phase (PLL) sont deux catégories principales des techniques CLS. Les méthodes de synchronisation en boucle ouverte (OLS) sont néanmoins exemptes de tout signal de retour dans leurs structures. Le diagramme illustré à la Fig. I.1 illustre cette classification des techniques de synchronisation [1]-[35].

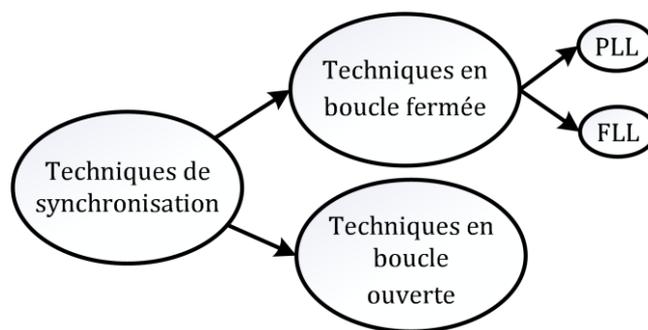


Figure I.1 : Classification des techniques de synchronisation

I.3 Problématiques

En gros, toutes les techniques de synchronisation, quelles que soient leurs différences structurelles, fonctionnent de manière satisfaisante dans des conditions idéales, dans lesquelles la tension du réseau est exempte de tout bruit. Cependant, cette situation ne se produit presque jamais dans la pratique en raison de problèmes de qualité de l'énergie de plus en plus importants (présence d'harmoniques, inter harmoniques, décalage en continu, chutes de tension asymétriques, etc.) dans les systèmes d'alimentation qui va altérer leurs degré d'efficacité [9].

Ces problèmes de qualité d'alimentation peuvent être causés par différents facteurs. On note par exemple, la composante continue peut apparaître dans le signal de tension du réseau en raison de défaillances du système électrique, de phénomènes géomagnétiques, du redressement de demi-onde, de cyclo convertisseurs et de l'injection de courant continu par des systèmes de production décentralisée, en particulier des onduleurs photovoltaïques [9]. Et les harmoniques et inter harmoniques de la tension du réseau sont principalement imputables aux charges non linéaires, en particulier aux équipements basés sur l'électronique de puissance, dont la pénétration dans le système d'alimentation est en augmentation constante.

Les problèmes de qualité de l'alimentation ont une incidence négative sur les performances des techniques de synchronisation. Ils provoquent des erreurs d'oscillation et de décalage dans les quantités estimées (phase, fréquence et amplitude) par les unités de synchronisation.

I.3.1 Boucle à verrouillage de phase

Par définition une PLL est un système de commande à rétroaction de nature non linéaire qui est implémenté dans le référentiel synchrone et synchronise son signal de sortie avec la composante fondamentale de la tension du réseau, qui est son signal d'entrée. Notre travail concernera seulement les applications de puissance et d'énergie alors que leurs utilisations sont largement présentes dans les différentes applications telles que la détection de défauts, l'extraction d'harmoniques, calcul des facteurs de qualité de l'énergie, etc.

Quelle que soit l'application utilisée, trois parties se retrouvent dans presque toutes les PLL. Ces éléments sont le détecteur de phase (PD), qui est principalement responsable de la génération d'un signal contenant l'information d'erreur de phase, le filtre de boucle (LF), également appelé contrôleur de boucle, qui entraîne le signal d'erreur de phase à zéro et l'oscillateur de tension contrôlé (VCO), qui produit un vecteur unitaire synchronisée dans sa sortie [9].

La Fig. I.2 illustre une PLL standard triphasée, appelée SRF-PLL (le cadre de référence synchrone) conventionnelle. Le SRF-PLL conventionnel étant la structure de base pour la mise en œuvre de presque tous les PLL avancés, une brève description de son principe de fonctionnement et de ses propriétés est tout d'abord présentée.

Dans la SRF-PLL conventionnelle, les transformations de Clarke et de Park sont appliquées aux signaux de tension du réseau pour les transférer vers le cadre de référence synchrone (dq). Les signaux d'axe dq résultants contiennent les informations d'erreur de phase et d'amplitude. Le signal contenant l'erreur de phase, ici q v , passe par le LF, qui est un régulateur proportionnel intégral (PI). La coopération de ce régulateur et du VCO garantit une erreur de suivi de phase moyenne nulle aux fréquences nominales et non nominales en régime établi. Notez que le

vecteur unitaire généré par le VCO [c.-à-d. $\sin \theta$ et $\cos \theta$] est utilisé par le PD (transformation du park) pour générer les informations d'erreur de phase et d'amplitude. Notez également que la sortie du contrôleur PI et les signaux de l'axe d sont des estimations de la fréquence et de l'amplitude de la tension du réseau, respectivement. Le signal de l'axe d est transmis à un filtre passe-bas afin de rejeter / atténuer les perturbations possibles et d'estimer avec précision l'amplitude de la tension du réseau.

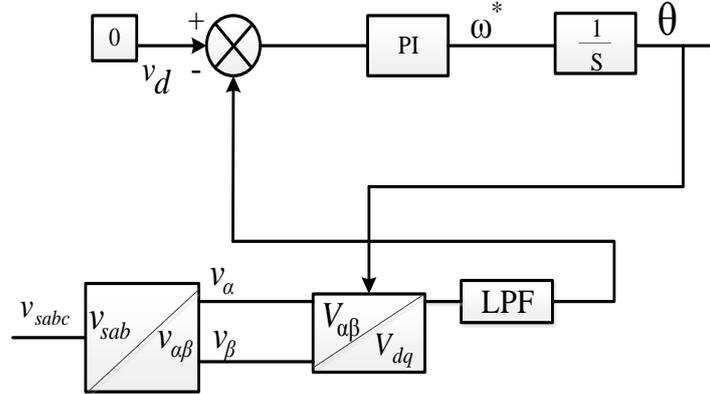


Figure I.2 :SRF-PLL conventionnelle

Supposons que les tensions d'entrée triphasées du SRF-PLL soient les suivantes :

$$V_a(t) = V_1 \cos(\theta) + \sum_{h=-\infty}^{+\infty} V_h \cos(\theta_h) \quad (I.1)$$

$$V_b(t) = V_1 \cos\left(\theta - \frac{2\pi}{3}\right) + \sum_{h=-\infty}^{+\infty} V_h \cos(\theta_h) \quad (I.2)$$

$$V_c(t) = V_1 \cos\left(\theta + \frac{2\pi}{3}\right) + \sum_{h=-\infty}^{+\infty} V_h \cos(\theta_h) \quad (I.3)$$

Avec $h \neq 1$

Où V_h est l'amplitude de la composante harmonique d'ordre h dans l'entrée PLL et θ_h est son angle de phase. Dans ce cas, les signaux d'axe dq peuvent être exprimés en

$$V_d(t) = V_1 \cos(\theta - \hat{\theta}) + \sum_{h=-\infty}^{+\infty} V_h \cos(\theta_h - \hat{\theta}_1) \approx V_1 + D_d(t) \quad (I.4)$$

$$V_q(t) = V_1 \sin(\theta - \hat{\theta}) + \sum_{h=-\infty}^{+\infty} V_h \sin(\theta_h - \hat{\theta}_1) \approx V_1 + D_q(t)$$

Avec

$$\sum_{h=-\infty}^{+\infty} V_h \cos(\theta_h - \hat{\theta}_1) = D_d(t), V_1 \cos(\theta - \hat{\theta}) = 1, V_1 \sin(\theta - \hat{\theta}) = 1, \sum_{h=-\infty}^{+\infty} V_h \sin(\theta_h - \hat{\theta}_1) = D_q(t)$$

En utilisant (I.4) et le schéma de principe du SRF-PLL (voir Fig.I.3) et en définissant :

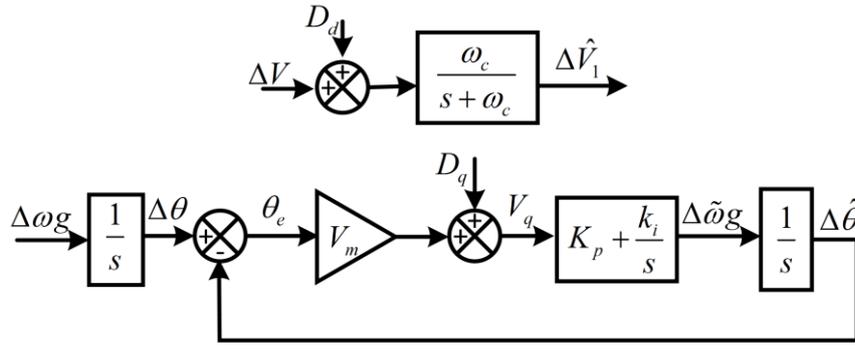


Figure I.3 : Model linéarise du SRF-PLL conventionnelle

$$\hat{\theta} = \theta_n + \Delta\hat{\theta}, \theta = \theta_n + \Delta\theta, \omega_g = \omega_n + \Delta\omega_g, \hat{\omega}_g = \hat{\omega}_n + \Delta\hat{\omega}_g, V_1 = V_n + \Delta V_1, \hat{V}_1 = \hat{V}_n + \Delta\hat{V}_1,$$

$\theta_n = \int \omega_n dt$, ω_n, V_n Sont la fréquence angulaire nominale et l'amplitude, respectivement, et Δ fait référence à une petite perturbation), le modèle linéarisé SRF-PLL peut être développé comme illustré à la FigI.3

Selon ce modèle, les fonctions de transfert en boucle ouverte et en boucle fermée de SRF-PLL peuvent être déterminées comme suit :

$$\hat{\theta}(s) = \frac{V_n(K_p s + K_i)}{S^2} \theta_e \tag{I.5}$$

$$\hat{\theta}(s) = \frac{V_n(K_p s + K_i)}{S^2 + V_n K_p s + K_i} \Delta\theta(s) + \frac{(K_p s + K_i)}{S^2 + V_n K_p s + K_i} D_q(s) \tag{I.6}$$

$$\Delta\hat{\omega}_g(s) = \frac{V_n(K_p s + K_i)}{S^2 + V_n K_p s + K_i} \Delta\omega_g(s) + \frac{S(K_p s + K_i)}{S^2 + V_n K_p s + K_i} D_q(s) \tag{I.7}$$

$$\Delta\hat{V}_1(s) = \frac{\omega_c}{S + \omega_c} \Delta V_1(s) + \frac{\omega_c}{S + \omega_c} D_d(s) \tag{I.8}$$

Notez qu'en déterminant la fonction de transfert en boucle ouverte (I.5) la présence de l'entrée de perturbation a été négligée

Les fonctions de transfert (I.5) -(I.8) fournissent des informations précieuses sur les caractéristiques de la fonction SRF-PLL, qui sont résumées comme suit.

- ❖ Selon (I.5), la fonction de transfert en boucle ouverte, qui relie le signal d'erreur de phase à l'angle de phase estimé, a deux pôles à l'origine. Cela signifie que, du point de vue de l'estimation de l'angle de phase, le SRF-PLL est un système de commande de type II. En conséquence, il peut suivre un saut de phase et une rampe de phase (qui correspond à un saut de fréquence) avec une erreur nulle en régime établi. Néanmoins, il peut ne pas être en mesure de suivre une entrée de phase parabolique (qui correspond à un changement de rampe de fréquence) avec une erreur nulle. L'erreur de phase pendant le changement de rampe de

fréquence peut être réduit en augmentant la largeur de bande de la PLL. Néanmoins, il dégrade l'immunité au bruit SRF-PLL.

- ❖ Selon (I.5), le gain de la boucle SRF-PLL dépend de la tension du réseau amplitude. Par conséquent, toute modification de l'amplitude de la tension du réseau (due à un défaut, par exemple) modifie le gain de la boucle SRF-PLL et, par conséquent, ses caractéristiques de dynamique et de stabilité.
- ❖ Selon (I.6) - (I.8), l'angle de phase, la fréquence et l'amplitude estimés par le SRF-PLL souffrent des entrées de perturbations et. Ces signaux, exprimés en (I.4), résultent des perturbations de la tension du réseau. Notez que la tension continue du réseau et la séquence négative de fréquence fondamentale (FFNS) apparaissent respectivement en tant que composantes de fréquence fondamentale et de fréquence double, et qu'un harmonique d'ordre h apparaît en tant qu'harmonique d'ordre $h-1$. Par conséquent, la présence du décalage continu, de la composante FFNS et d'une composante harmonique d'ordre h dans l'entrée SRF-PLL, respectivement, provoque les ondulations de fréquence fondamentale, de fréquence double et $h-1$. Sur la phase estimée, la fréquence et l'amplitude.
- ❖ Le SRF-PLL a une capacité très limitée d'atténuer les perturbations de la tension du réseau. C'est particulièrement vrai lorsque la composante Continue et le FFNS existe dans l'entrée SRF-PLL car, comme indiqué précédemment, elles apparaissent sous forme de perturbations à fréquence fondamentale et à double fréquence à l'intérieur de la boucle de commande SRF-PLL. Notez qu'il s'agit de perturbations d'ordre faible et que même une SRF-PLL à bande passante étroite ne peut pas les atténuer efficacement. Notez également que le fait de réduire la bande passante SRF-PLL dégrade considérablement sa réponse dynamique.

Pour faire face à ces problèmes, de nombreuses PLL avancées ont été proposées. Une PLL améliorée triphasée présentée dans est basée sur une phase à quatre signaux et une composante symétrique [13]. Cette PLL est précise sous tension de réseau non équilibrée, peut relativement atténuer, mais ne pas éliminer l'effet de la distorsion harmonique. Certaines techniques intéressantes conçues dans le double référentiel utilisent un réseau découplé pour annuler dynamiquement l'oscillation à double fréquence de la séquence positive de la tension du réseau due à la tension déséquilibrée [11]. Ces PLL réalisent une synchronisation rapide et précise sous une tension source asymétrique. Malheureusement, ils sont sensibles à la distorsion harmonique de tension. MAF-PLL [14]-[15] a une structure simplifiée et fournit la robustesse sous tension source déséquilibrée et déformée, mais malheureusement, le MAF cause quelques petites imprécisions lorsque la fréquence du réseau dévie. En outre, le principal inconvénient du MAF est la performance à dynamique lente. L'opérateur d'annulation de signal retardé (DSC) [16] est une technique alternative pour améliorer la capacité de filtrage de la SRF-PLL; il peut être

facilement personnalisé pour différentes conditions de réseau. Il peut être utilisé comme filtre en boucle dans la boucle de contrôle SRF-PLL ou avant le SRF-PLL. Cependant, en utilisant l'opérateur DSC comme outil de boucle ou de prétraitement, une chaîne de ceux-ci est souvent utilisée pour améliorer la capacité de filtrage du SRF-PLL. D'autre part, la sélection du nombre d'opérateurs DSC dans la chaîne dépend des composants harmoniques anticipés dans l'entrée PLL. De plus, lorsque les opérateurs DSC sont utilisés comme étape de pré-filtrage du SRF-PLL, la fréquence estimée par le SRF-PLL est souvent renvoyée pour les adapter aux variations de fréquence. L'adaptation des opérateurs DSC augmente toute fois la complexité de la mise en œuvre et l'effort de calcul. Un autre problème est la conception des paramètres de contrôle ; l'approche conventionnelle néglige la dynamique de la phase de filtrage. Cependant, cette approche n'est pas précise [18]. Dans [18], une étude orientée des PLL avancées tenant compte de la dynamique de la phase de filtrage est présentée. D'après la discussion présentée dans, les PLL avancées ne peuvent pas atteindre un temps d'établissement inférieur à 2 cycles en raison de la contrainte susmentionnée sur la largeur de bande de la PLL. Un filtre de boucle de type PID peut être utilisé pour compenser le retard de phase provoqué par l'étape de pré-filtrage. La PLL avec le PID LF réalise un temps de stabilisation inférieur (1,75 cycle) avec une stabilité élevée comparée à la PI LF [19]. D'autres approches augmentent le type de PLL d'un (type 3) afin d'améliorer les performances dynamiques du SRF-PLL [20]. Malheureusement, ces approches aggravent le problème de la stabilité. D'autre part, les résultats expérimentaux dans [21] démontrent que le PLL de type 2 a un temps d'établissement inférieur à celui du PLL de type 3. De plus, les implémentations de PLL de type 3 n'incluent pas d'étape de filtrage sélectif des harmoniques en raison de la complexité accrue et du faible rejet des perturbations. Un autre problème est la présence du décalage en continu dans leur entrée, ce qui peut être dû aux défauts du réseau, au processus de conversion A / N dans un processeur de signal numérique à virgule fixe et à l'injection en courant continu par des convertisseurs connectés au réseau [22]-[23]. L'existence de cette composante dans l'entrée PLL entraîne des erreurs oscillatoires en fréquence fondamentale dans la phase, la fréquence et l'amplitude estimées par la PLL et une erreur de décalage dans le vecteur unitaire. Pour traiter le problème de compensation de continu dans la PLL, plusieurs approches ont été proposées dans la littérature [22]. Dans [23], une étude détaillée de cinq méthodes de rejet de décalage en continu est présentée. Les résultats de indiquent que les techniques de filtrage en boucle ont un effet plus défavorable sur le comportement dynamique de la PLL que les outils de prétraitement et sont donc moins attrayantes pour traiter le problème du décalage en continu.

I.3.2 Boucle à verrouillage de fréquence

La boucle à fréquence verrouillée est une autre approche à boucle fermée dans laquelle le système de contrôle de rétroaction est conçu pour verrouiller la fréquence des signaux d'entrée et la phase est estimée en dehors de la boucle de contrôle [24]-[30]. L'objectif est d'obtenir les performances d'une PLL de type II à l'aide du système de contrôle de type I. En comparant avec le PLL, un peu de travail a été effectué sur les FLL. La raison en est probablement dans le cadre de référence dans lequel la FLL est implémentée. Les FLL, cependant, sont réalisés dans le repère stationnaire en utilisant des intégrateurs généralisés. Par conséquent, il est plus difficile de concevoir des filtres supplémentaires à incorporer dans leur structure. En outre, lorsque la fréquence du signal d'entrée est soumise à un changement de rampe, l'estimation de l'angle de phase par la PLL de type II et la FLL de type I souffrent des erreurs de phase en régime permanent fini. Ceci n'est pas acceptable pour l'application où une information de phase précise est nécessaire pendant le changement de fréquence en rampe. Ces applications peuvent inclure des unités de mesure de synchrophaseurs pour le contrôle de zone, un observateur pour un contrôle sans capteur des entraînements électriques et un contrôle des convertisseurs connectés au réseau. De plus, assurer la stabilité dans cette condition nécessite une analyse en profondeur de la stabilité qui est souvent compliquée en raison de la grande non-linéarité provoquée par FLL.

I.3.3 Synchronisation en boucle ouverte

Au contraire, les techniques de synchronisation en boucle ouverte OLS sont inconditionnellement stables et bénéficient d'une réponse dynamique rapide. Leurs performances ont toutefois tendance à se dégrader en présence de dérives de fréquence. Pour surmonter cette limitation, des détecteurs de fréquence sont inclus dans leurs structures pour les rendre adaptatifs en fréquence. Un certain nombre d'autres structures ont par nature une capacité d'adaptation en fréquence. Néanmoins, ces approches augmentent généralement la complexité, aggravent la réponse dynamique et diminuent la capacité de travailler en présence de tensions déformées [3].

I.4 Conclusion

Ce chapitre fournit un aperçu global des méthodes récentes de conception des techniques de synchronisations avancées sur les réseaux triphasés. On peut les classer en deux axes :

- Un axe de recherche sur les méthodes d'amélioration des performances dynamiques des PLL.

- Un deuxième pour améliorer la capacité de filtrage et la capacité de rejet de perturbations des PLL en incluant différents filtres.

L'étude bibliographique entrepris dans ce chapitre nous a permis de comprendre et de détailler le principe de fonctionnement des PLL, leurs avantages et leurs inconvénients. Les informations fournies dans cette étude sont très utiles puisqu'il donne la formulation mathématique qui lui permet de l'inclure dans des boucles de régulation.